

# UNIVERSIDAD NACIONAL DE HUANCVELICA

(Creada por Ley N° 25265)

FACULTAD DE INGENIERÍA ELECTRÓNICA – SISTEMAS  
ESCUELA PROFESIONAL DE INGENIERIA ELECTRÓNICA



## TESIS

**DISEÑO DE UN MODULADOR POR ANCHURA DE PULSO  
SINUSOIDAL BASADO EN FPGA PARA UN CONVERTIDOR DC-AC  
MONOFÁSICO DE FRECUENCIA FIJA**

**LINEA DE INVESTIGACIÓN:  
PROCESAMIENTO DIGITAL DE SEÑALES**

**PARA OPTAR EL TÍTULO PROFESIONAL DE:  
INGENIERO ELECTRÓNICO**

**PRESENTADO POR:**

BACH. FERNANDO ABEL QUINTANA LAZO

BACH. JUAN MATEO DIAZ CUSI

**HUANCVELICA – 2021**



**UNIVERSIDAD NACIONAL DE HUANCVELICA**

(Creada por Ley N° 25265)

**FACULTAD DE INGENIERÍA ELECTRÓNICA – SISTEMA**



## **ACTA DE SUSTENTACIÓN DE PROYECTO DE INVESTIGACIÓN VIRTUAL**

Mediante el aplicativo Google Meet con enlace: [meet.google.com/wfz-xnxg-tvp](https://meet.google.com/wfz-xnxg-tvp), habilitado por Secretaría Docente de la Facultad de Ingeniería Electrónica – Sistemas, en mérito a la **Resolución de Consejo de Facultad N° 099-2021-FIES-UNH** de fecha 23 de abril del 2021, a los 04 días del mes de mayo del año 2021, a horas 15:00, se reunieron; el Jurado Calificador, conformado de la siguiente manera:

**Presidente** : Mg. Ángel ALMIDON ELESCANO  
**Secretario** : M. Sc. Ing. Wohler GONZALES SAENZ  
**Vocal** : Ing. Paul Jean, ESQUIVIAS BARRAGAN

Designados con Resolución de Decanatura N° 081-2020-DFIES-UNH, de fecha 19 de mayo del 2020 del proyecto de investigación, Titulado:

**“DISEÑO DE UN MODULADOR POR ANCHURA DE PULSO SINUSOIDAL BASADO EN FPGA PARA UN CONVERTIDOR DC-AC MONOFÁSICO DE FRECUENCIA FIJA”**

Cuyo autor es el graduado: Bachiller:

Juan Mateo, DIAZ CUSI  
Fernando Abel QUINTANA LAZO

A fin de proceder con la evaluación y calificación de la sustentación del proyecto de investigación, antes citado.

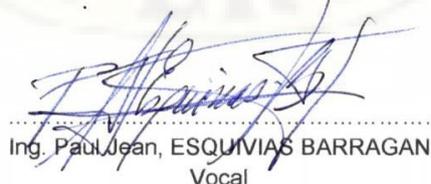
Se dio inicio a la sustentación del proyecto de investigación en mención, a horas 15 con 00 minutos, concluyendo a horas 16 con 20 minutos.

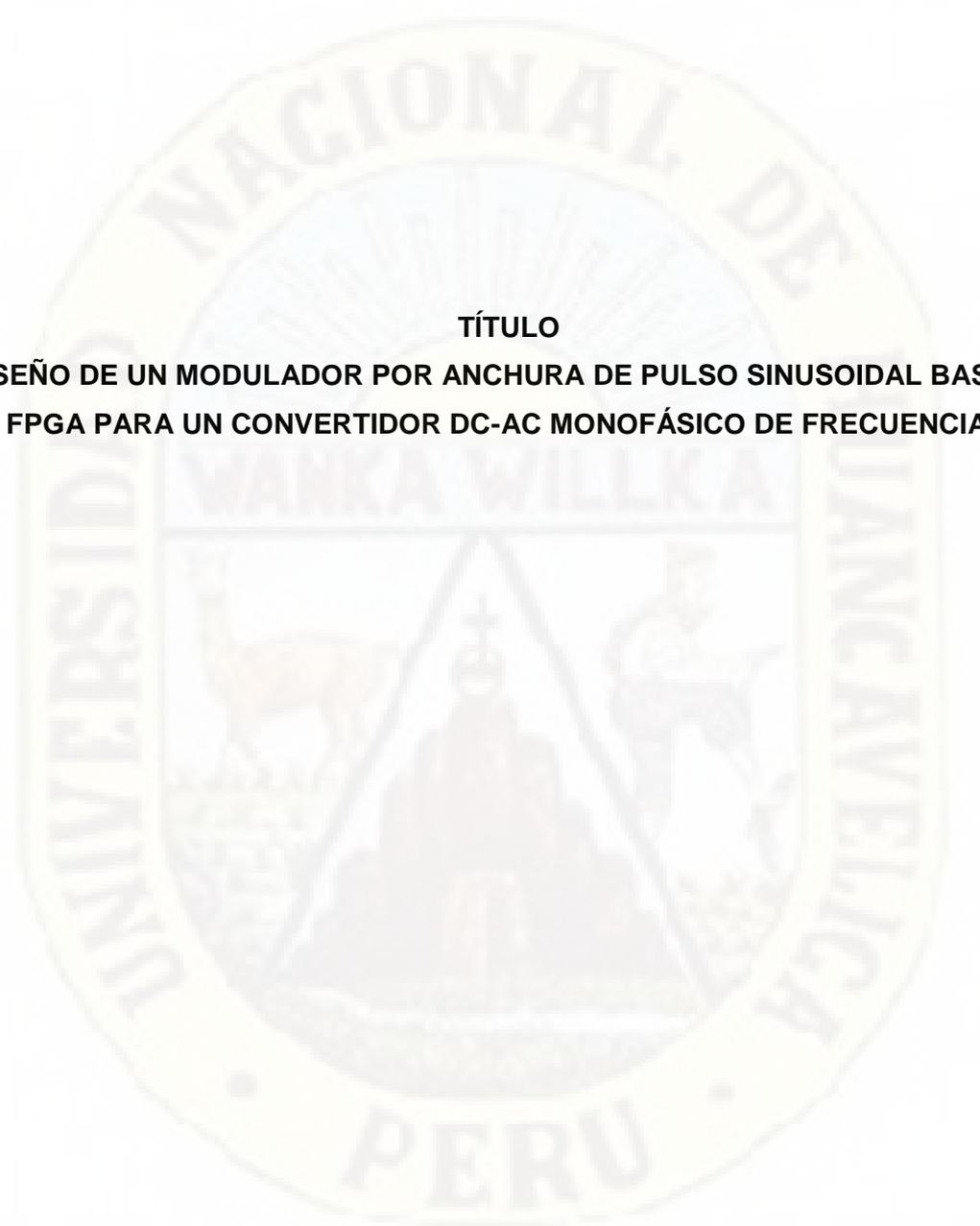
Finalizado la sustentación; se invitó al público presente y al sustentante abandonar la sala de actos; y, luego de una amplia deliberación y calificación por parte del jurado, se llegó al siguiente resultado:

**APROBADO POR MAYORÍA**

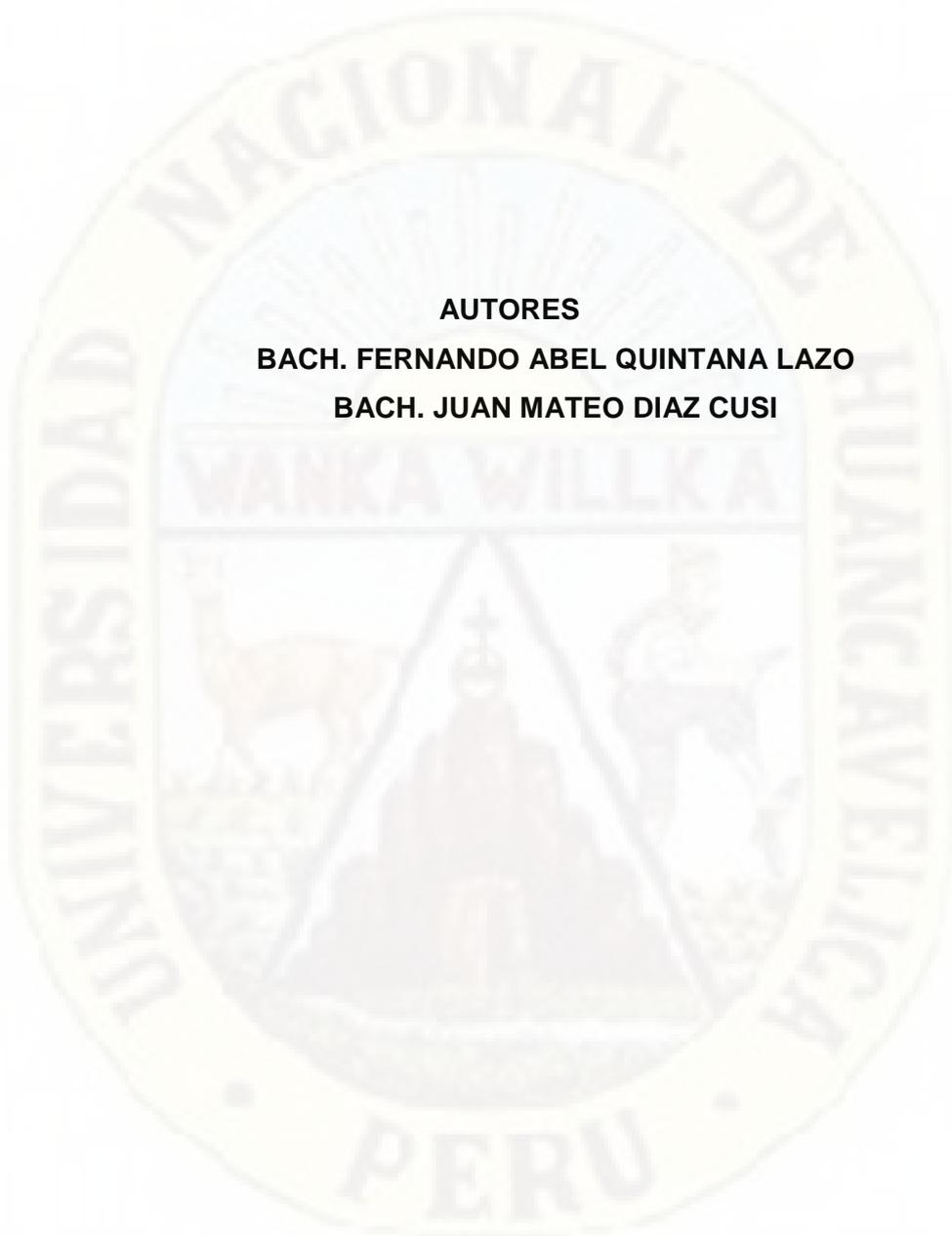
  
.....  
Mg. Ángel ALMIDON ELESCANO  
Presidente

  
.....  
M. Sc. Ing. Wohler GONZALES SAENZ  
Secretario

  
.....  
Ing. Paul Jean, ESQUIVIAS BARRAGAN  
Vocal



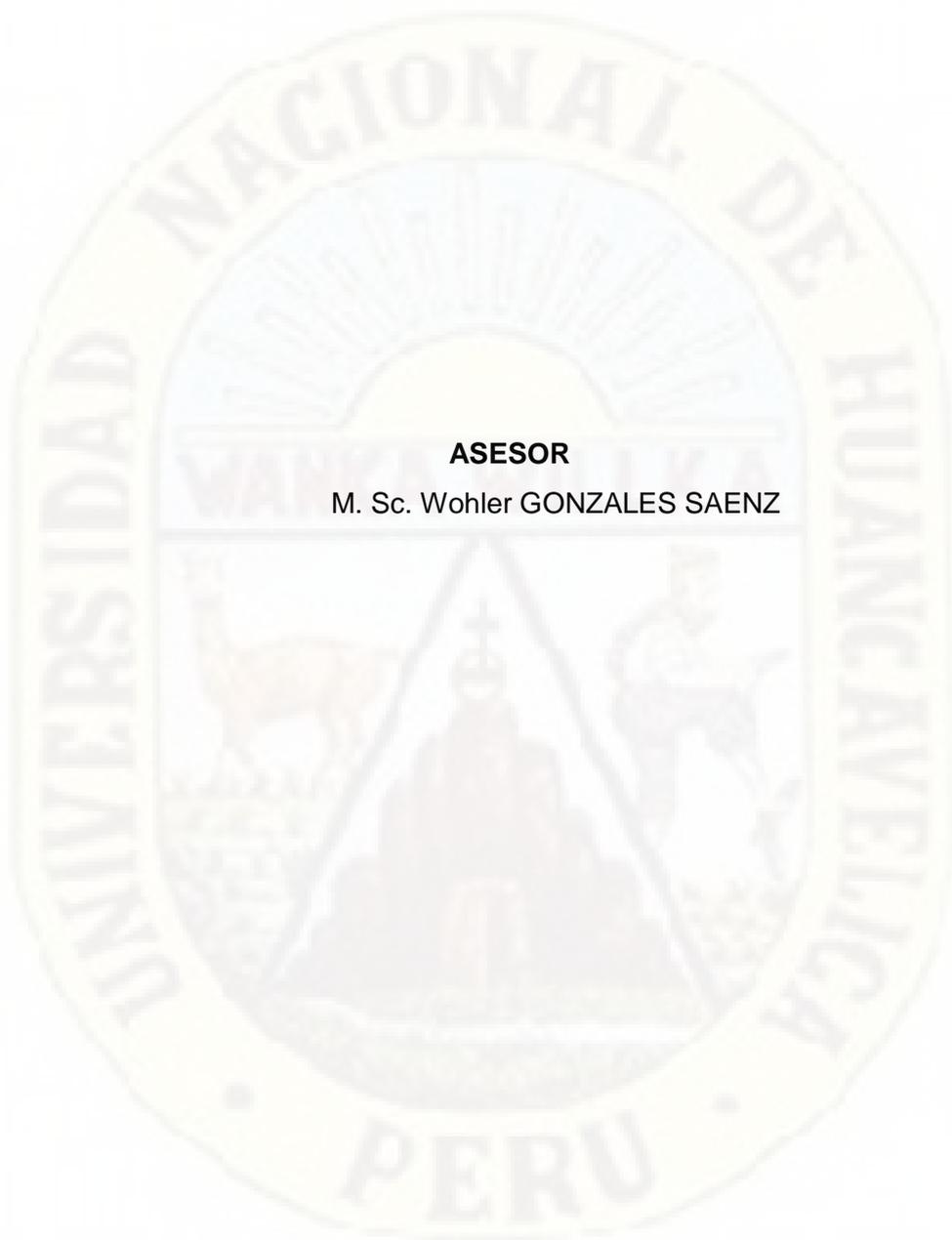
**TÍTULO**  
**DISEÑO DE UN MODULADOR POR ANCHURA DE PULSO SINUSOIDAL BASADO EN FPGA PARA UN CONVERTIDOR DC-AC MONOFÁSICO DE FRECUENCIA FIJA**



**AUTORES**

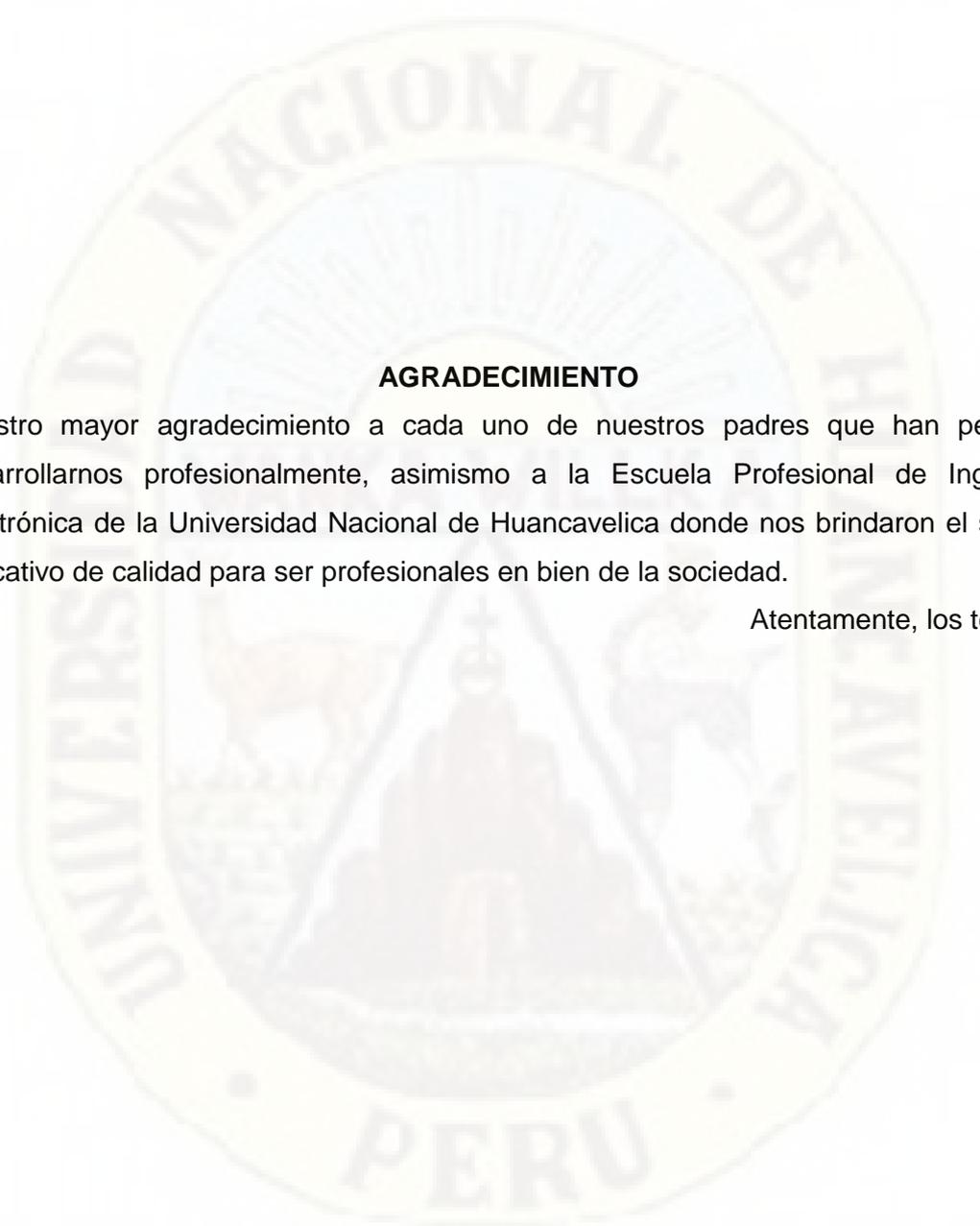
**BACH. FERNANDO ABEL QUINTANA LAZO**

**BACH. JUAN MATEO DIAZ CUSI**



**ASESOR**

M. Sc. Wohler GONZALES SAENZ



### **AGRADECIMIENTO**

Nuestro mayor agradecimiento a cada uno de nuestros padres que han permitido desarrollarnos profesionalmente, asimismo a la Escuela Profesional de Ingeniería Electrónica de la Universidad Nacional de Huancavelica donde nos brindaron el servicio educativo de calidad para ser profesionales en bien de la sociedad.

Atentamente, los tesisistas.

## TABLA DE CONTENIDOS

TÍTULO .....	iii
AUTORES .....	iv
ASESOR .....	v
AGRADECIMIENTO .....	vi
TABLA DE CONTENIDOS.....	vii
ÍNDICE DE FIGURAS.....	ix
ÍNDICE DE TABLAS.....	xi
RESUMEN .....	xii
ABSTRAC .....	xiv
INTRODUCCIÓN.....	xvi
CAPÍTULO I .....	1
PLANTEAMIENTO DEL PROBLEMA .....	1
1.1 PROBLEMA:.....	1
1.2 FORMULACIÓN DEL PROBLEMA: .....	2
1.2.1 PROBLEMA GENERAL: .....	2
1.2.2 PROBLEMAS ESPECÍFICOS:.....	2
1.3 OBJETIVOS:.....	2
1.3.1 OBJETIVO GENERAL: .....	2
1.3.2 OBJETIVOS ESPECÍFICOS: .....	3
1.4 JUSTIFICACIÓN:.....	3
1.4.1 JUSTIFICACIÓN TEÓRICA: .....	3
1.4.2 JUSTIFICACIÓN PRÁCTICA: .....	3
1.4.3 JUSTIFICACIÓN TECNOLÓGICA .....	3
CAPÍTULO II .....	5
MARCO TEÓRICO .....	5
2.1 ANTECEDENTES:.....	5
2.2 BASES TEÓRICAS.....	7
2.2.1 CONVERTIDORES DC-AC.....	7
2.2.2 ESTRUCTURA DE UN INVERSOR .....	10
2.2.3 TOPOLOGIAS DE LOS INVERSORES DC-AC (F.Gimeno, S.Segui, S. Orts, 2011).....	10
2.2.4 CONTROL DE VOLTAJE DE LOS INVERSORES.....	13
2.2.5 DISTORSIÓN ARMONICA TOTAL THD.....	21
2.2.6 EL ESPETRO DE FRECUENCIAS .....	23

2.2.7 LAS FPGAs.....	24
2.2.8 PROGRAMACIÓN DE LA FPGA .....	25
2.2.9 FABRICANTES DE LA FPGA .....	26
2.2.10 RTL VIEWER EN LA FPGA.....	27
2.3    HIPÓTESIS.....	27
2.3.1 HIPÓTESIS GENERAL:.....	27
2.3.2 HIPÓTESIS ESPECÍFICOS: .....	27
2.4    DEFINICIÓN DE TÉRMINOS.....	28
2.5    IDENTIFICACIÓN DE VARIABLES.....	28
CAPÍTULO III .....	31
MATERIALES Y MÉTODOS.....	31
3.1    TIPO DE INVESTIGACIÓN.....	31
3.2    NIVEL DE INVESTIGACIÓN.....	31
3.3    MÉTODO DE INVESTIGACIÓN.....	31
3.4    DISEÑO DE INVESTIGACIÓN.....	31
3.5    POBLACIÓN, MUESTRA MUESTREO .....	32
3.6    TÉCNICAS E INSTRUMENTOS DE RECOLECCIÓN DE DATOS.....	32
3.7    PROCEDIMIENTO DE RECOLECCIÓN DE DATOS .....	33
3.8    TÉCNICAS DE PROCESAMIENTO Y ANÁLISIS DE DATOS.....	33
3.9    ÁMBITO DE ESTUDIO.....	33
CAPÍTULO IV .....	34
DISCUSIÓN DE RESULTADOS.....	34
4.1    PRESENTACION DE RESULTADOS.....	34
4.1.1 DISEÑO DEL MODULADOR POR ANCHURA DE PULSO SINUSOIDAL	34
4.1.2 ANÁLISIS DE RESULTADOS DEL DISEÑO.....	45
4.2    PRUEBA DE HIPÓTESIS .....	55
4.3    DISCUSIÓN DE RESULTADOS .....	61
CONCLUSIONES.....	64
RECOMENDACIONES.....	65
REFERENCIAS BIBLIOGRÁFICAS.....	66
ANEXOS .....	68
MATRIZ DE CONSISTENCIA.....	81

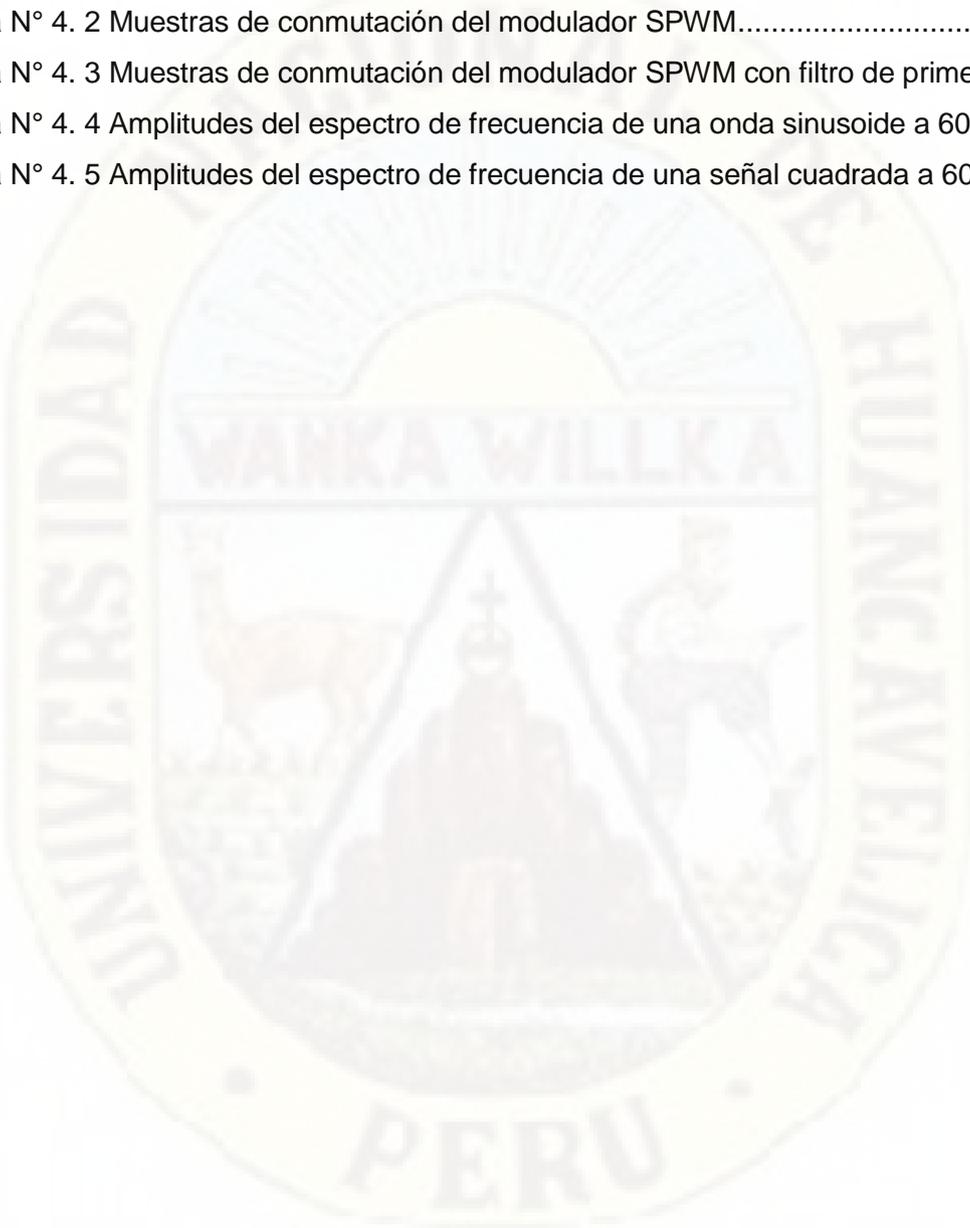
## ÍNDICE DE FIGURAS

Figura N° 1. 1 Ondulaciones eléctricas de naturaleza cuadrada o cuadrada modificada ..	2
Figura N° 1. 2 Clasificación de inversores por el tipo de fuente de alimentación y por tipo de carga monofásica o trifásica .....	8
Figura N° 2. 1 Clasificación de inversores por el tipo de fuente de alimentación y por tipo de carga monofásica o trifásica. ....	8
Figura N° 2. 2 Clasificación de inversores por el tipo de control y modulador. ....	9
Figura N° 2. 3 Inversor monofásico semipunto.....	11
Figura N° 2. 4 Tensión de salida del inversor monofásico semipunto .....	11
Figura N° 2. 5 Inversor monofásico puente .....	12
Figura N° 2. 6 Tensión de salida del inversor monofásico puente .....	12
Figura N° 2. 7 Señal del inversor VSI, modulación desplazamiento de fase .....	14
Figura N° 2. 8 Señal del inversor VSI, modulación anchura de un pulso por semiperíodo .....	15
Figura N° 2. 9 Señal del inversor VSI, modulación en anchura de varios pulsos por semiperíodo .....	16
Figura N° 2. 10 Señal del inversor VSI, modulación sinusoidal SPWM .....	17
Figura N° 2. 11 Señal del inversor VSI, modulación sinusoidal SPWM modificada .....	18
Figura N° 2. 12 Señal del inversor VSI, modulación por eliminación de armónicos, a) Tensión salida unipolar, b) Tensión salida bipolar.....	19
Figura N° 2. 13 Señal del inversor VSI, modulación trapezoidal. ....	19
Figura N° 2. 14 Señal del inversor VSI, modulación por inyección de armónicos.....	20
Figura N° 2. 15 Señal del inversor VSI, modulación por corriente regulada. ....	21
Figura N° 2. 16 Señal sinusoidal distorsionada con 3ra componente armónica .....	22
Figura N° 2. 17 a) Señal periódica distorsionada, b) Espectro de frecuencia .....	23
Figura N° 4. 1 Sistema tradicional de conversión DC-AC.....	34
Figura N° 4. 2 Tensión de onda cuada alternada .....	35
Figura N° 4. 3 Análisis espectral de tensión de onda cuada alternada .....	35
Figura N° 4. 4. Conversión DC-AC con modulador de anchura de pulso sinusoidal .....	36
Figura N° 4. 5 Fuente de voltaje sinusoidal a 60 Hz.....	36
Figura N° 4. 6 Análisis espectral de tensión alternada sinusoidal .....	36
Figura N° 4. 7 Modulador SPWM basado en FPGA.....	37
Figura N° 4. 8 Conformación de pulsos SPWM en el Simulink.....	37
Figura N° 4. 9 Modulación SPWM a 60 Hz .....	38
Figura N° 4. 10 Conformación de pulso SPWM a 60 Hz, comba positiva.....	38

Figura N° 4. 11 Conformación de pulso SPWM a 60 Hz, comba positiva y negativa .....	40
Figura N° 4. 12 Código VHDL del modulador SPWM basado en una FPGA.....	40
Figura N° 4. 13 Esquemático RTL Viewer del modulador SPWM.....	41
Figura N° 4. 14 Divisor de frecuencia en la FPGA.....	41
Figura N° 4. 15 Código del contador ascendente y descendente de comba (positiva/negativa) en la FPGA.....	42
Figura N° 4. 16 RTL Viewer del contador ascendente y descendente de comba (positiva/negativa) en la FPGA.....	43
Figura N° 4. 17 RTL Viewer del sistema de compuertas y fliflops para la conformación de los pulsos SPWM .....	44
Figura N° 4. 18 Conformación de pulsos de la FPGA según modulación SPWM .....	44
Figura N° 4. 19 Secuencia infinita de pulsos de la FPGA según modulación SPWM.....	45
Figura N° 4. 20 Conformación de pulsos SPWM con FPGA. Color amarillo (Pulsos SPWM comba positiva); Color celeste (Pulsos SPWM comba negativa).....	46
Figura N° 4. 21 Conformación alternada de pulsos SPWM con FPGA, a) En modo de simulación. b) En modo real medido en el osciloscopio. ....	47
Figura N° 4. 22 Circuito convertidor DC-AC en configuración puente H.....	47
Figura N° 4. 23 Señal alternada por modulación SPWM sinusoidal.....	50
Figura N° 4. 24 Sinusoide en tiempo discreto generado por modulación SPWM con FPGA .....	51
Figura N° 4. 25 Sinusoide real generado por modulación SPWM con FPGA .....	51
Figura N° 4. 26 Análisis espectral de la sinusoide generada por modulación SPWM .....	52
Figura N° 4. 27 Análisis espectral de la señal cuadra del convertidor DC-AC.....	54
Figura N° 4. 28 Grafica de distribución t Student.....	56
Figura N° 4. 29 Calculo del estadístico t-Student con Minitab.....	57
Figura N° 4. 30 Grafica de distribución t Student.....	58
Figura N° 4. 31 Calculo del estadístico t-Student con Minitab.....	59
Figura N° 4. 32 Grafica de distribución t Student.....	60
Figura N° 4. 33 Calculo del estadístico t-Student con Minitab.....	61

## ÍNDICE DE TABLAS

Tabla N° 4. 1 Periodos de conducción de la modulación SPWM en estados ON y OFF ...	39
Tabla N° 4. 2 Muestras de conmutación del modulador SPWM.....	49
Tabla N° 4. 3 Muestras de conmutación del modulador SPWM con filtro de primer orden	50
Tabla N° 4. 4 Amplitudes del espectro de frecuencia de una onda sinusoidal a 60 Hz .....	52
Tabla N° 4. 5 Amplitudes del espectro de frecuencia de una señal cuadrada a 60 Hz .....	54



## RESUMEN

El presente trabajo de investigación titulado “Diseño de un modulador por anchura de pulso sinusoidal basado en FPGA para un convertidor DC-AC monofásico de frecuencia fija”, se desarrolló con la finalidad de evidenciar que un convertidor electrónico DC-AC acoplado a un modulador por anchura de pulso sinusoidal SPWM basado en una FPGA permite obtener una tensión sinusoidal alterna muy similar a la tensión alterna de la red eléctrica a partir de fuentes de voltaje continuo (baterías o pilas). Por lo general, los convertidores DC-AC comúnmente comercializados, generan tensiones alternas de ondas cuadas no sinusoidales que en el análisis espectral se demuestra que tienen una distorsión armónica del 45.23% los no son apropiados para el funcionamiento de equipos electrónicos y eléctricos según el estándar 519-IEEE-2014 (IEEE, 2014).

El trabajo de investigación consideró los siguientes objetivos: Explicar el diseño del modulador por anchura de pulso sinusoidal SPWM basado en una FPGA que genera una onda sinusoidal de 60 Hz con un convertidor DC-AC; para tal fin, se consideró los siguientes objetivos específicos: a) Determinar el porcentaje de las amplitudes de las componentes armónicas 3, 5, 7, 9, 11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM, b) Determinar la tasa de distorsión armónica THD del convertidor DC-AC monofásico modulada por anchura de pulso sinusoidal SPWM basada en una FPGA, y c) Determinar la diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y con modulador SPWM basada en una FPGA. Para el logro de los objetivos, se utilizó la técnica de modulación PWM sinusoidal que permite modular una señal sinusoidal de 60 Hz con una portadora triangular de 2 kHz, obteniéndose una distribución de pulsos cuadrados de anchura variable para la comba positiva y negativa sinusoidal. La secuencia de los pulsos cuadrados se ha programado en una FPGA basado en VHDL (Lenguaje de descripción de Hardware) de tal manera que se obtengan señales de modulación SPWM con las cuales se obtiene una onda sinusoidal en la salida del convertidor DC-AC con filtro paso bajo.

Los resultados alcanzados son: a) Se obtuvo una señal sinusoidal de 60 Hz a partir de una fuente de alimentación continua (batería), b) La tasa de distorsión armónica total (THD) de la señal generada por el modulador SPWM es del 3.29%, valor que representa a una mínima distorsión de una senoide pura, c) Las componentes armónicas múltiplos de la frecuencia fundamental de 60 Hz, tienen una amplitud inferior al 3.29% de la señal fundamental, d) La tasa de distorsión armónica total THD de la señal sinusoidal obtenida es inferior en 41.94% a la THD de la señal alterna del convertidor DC-AC sin modulador SPWM. En conclusión, un modulador SPWM genera tensiones sinusoidales desde fuentes de voltaje DC.

**PALABRAS CLAVES:** Diseño de un modulador, Pulso sinusoidal basado en fpga, Convertidor dc-ac monofásico de frecuencia fija.



## ABSTRAC

The present research work entitled “Design of an FPGA-based sinusoidal pulse width modulator for a fixed-frequency single-phase dc-ac converter” has been developed in order to demonstrate that a DC-AC electronic converter coupled to a modulator by Sinusoidal pulse width SPWM based on an FPGA, allows obtaining at its output an alternating sinusoidal voltage very similar to the alternating voltage of the electrical network from continuous voltage sources (batteries). In general, the DC-AC electronic converters commonly commercialized, generate alternating voltages of non-sinusoidal square waves, which in the spectral analysis shows that it has a harmonic distortion of the order of 49%, which damages the various electronic and electrical equipment according to the standard. 519-IEEE-2014 (IEEE, 2014).

The research work has considered the following objectives: Explain the design of the SPWM sine pulse width modulator based on an FPGA that generates a 60 Hz sine wave with a DC-AC converter; For this purpose, the following specific objectives have been considered: a) Determine the percentage of the amplitudes of the harmonic components 3, 5, 7, 9, 11 of the sinusoidal signal generated by the DC-AC converter with pulse width modulator sinusoidal SPWM, b) Determine the THD harmonic distortion rate of the single-phase DC-AC converter modulated by the SPWM sinusoidal pulse width based on an FPGA, and c) Determine the difference of the harmonic distortion rate of the DC-AC converter without SPWM modulator and with SPWM modulator based on an FPGA. To achieve the objectives, the sinusoidal PWM modulation technique has been used, which allows modulating a 60 Hz sinusoidal signal with a 2 kHz triangular carrier, obtaining a distribution of square pulses of variable width for the positive and negative camber. The sequence of the square pulses has allowed to analyze and program the FPGA based on VHDL (Hardware Description Language) in such a way that SPWM modulation signals are obtained with which a sine wave is obtained at the output of the DC-AC converter with low pass filter.

The results achieved are: a) A 60 Hz sinusoidal signal was obtained from a continuous power supply (battery), b) The total harmonic distortion rate (THD) of the signal generated by the SPWM modulator is 3.29% , value that represents a minimum distortion of a pure sinusoid, c) The harmonic components multiples of the fundamental frequency of 60 Hz, have an amplitude less than 3.29% of the fundamental signal, d) The total harmonic distortion rate THD of the Sinusoidal signal obtained is 41.94% lower than the THD of the alternating signal of the DC-AC converter without SPWM modulator. In conclusion, an SPWM modulator generates sinusoidal voltages from DC voltage sources.

Keywords: Modulator design Sinusoidal pulse based on FPGA; Single phase fixed frequency dc/ac converter.



## INTRODUCCIÓN

El presente trabajo de investigación dentro del campo de la ingeniería electrónica, se ha desarrollado con la finalidad de evidenciar que un convertidor electrónico DC-AC acoplado a un modulador por anchura de pulso sinusoidal SPWM basado en una FPGA como la que se ha propuesto en esta tesis, permite obtener una tensión sinusoidal alterna muy similar a la tensión alterna de la red eléctrica convencional, ésta a partir de fuentes de voltaje continuo como baterías o pilas.

El contenido del presente informe de tesis, está constituido por cuatro capítulos donde se exponen el planteamiento del problema, el marco teórico, metodología y el análisis de resultados. Al finalizar los capítulos se presentan las conclusiones, recomendaciones, referencias bibliográficas y anexos.

En el primer capítulo se aborda en detalle el problema, la formulación de los problemas, los objetivos y las justificaciones que han motivado desarrollar esta investigación.

En el segundo capítulo se exponen en detalle el marco teórico que acompaña a la investigación; abordamos los antecedentes sobre la modulación SPWM expuestos en artículos científicos y trabajos de tesis. Además, en este capítulo se refrenda el marco teórico y conceptual sobre convertidores electrónicos, tasa de distorsión armónica total THD, análisis espectral, las FPGAs, lenguaje de descripción de hardware VHDL entre otros conceptos fundamentales. Al finalizar el capítulo II, se presentan las siguientes hipótesis de investigación: El diseño del modulador por anchura de pulso sinusoidal SPWM basado en una FPGA, genera una onda sinusoidal de 60 Hz al modular a un convertidor DC-AC, El porcentaje de las tensiones de las amplitudes de las componentes armónicas 3, 5, 7, 9, 11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM es inferior al 10%, La tasa de distorsión armónica THD del convertidor DC-AC monofásico modulado por anchura de pulso sinusoidal SPWM basada en una FPGA es menor del 5%, y la diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y del modulador SPWM es mayor a 25%.

En el capítulo III, se describe toda la metodología de la investigación utilizada, teniendo en cuenta el marco metodológico de la investigación científica.

En el capítulo IV, se exponen en detalle la discusión de resultados de la investigación. En primer momento presentamos y explicamos el diseño del modulador por anchura de pulso sinusoidal desde su concepción, análisis, simulaciones, diseño del modulador y la realización de la misma para luego efectuar el análisis de los resultados del diseño que ha permitido obtener una tensión sinusoidal desde una fuente de alimentación continua (batería o pila). Asimismo, se presenta el análisis y pruebas de hipótesis de la investigación usando la herramienta del Minitab. Al finalizar el capítulo, se efectúa la discusión de los resultados obtenidos en contraste con los antecedentes y referencias que han marcado esta investigación.

Concluimos el informe final de las tesis, exponiendo las conclusiones, recomendaciones y referencias bibliográficas.

## CAPÍTULO I

### PLANTEAMIENTO DEL PROBLEMA

#### 1.1 PROBLEMA:

Hoy en el Perú la energía eléctrica se ha masificado significativamente con una cobertura nacional aproximada del 92%, del cual en el departamento de Huancavelica el 16.3% de la población no tiene acceso a la electricidad entre otras como Cajamarca con 26.1%, Amazonas con 27.2% y Loreto con 24.5%; esto debido a la ruralidad y la distribución geográfica de su población (INEI I. N., 2014) (MINEM, 2014). La falta o deficiente conectividad a la electricidad doméstica genera que las calidades de vida de las poblaciones sean precarias ya que los servicios básicos como la iluminación nocturna sean reducidas o inaccesibles; asimismo no existe la accesibilidad para el uso de aparatos electrodomésticos como el televisor o la radio con las cuales se les niega el acceso a la información y comunicación.

Ante tal situación, el avance de la tecnología de la electrónica ha permitido desarrollar sistemas de conversión de energía de corriente continua DC (baterías de 12V, 24V) en corriente alterna AC de 220 V para hacer funcionar los aparatos electrodomésticos y bombillas. Sin embargo, esta conversión DC-AC por lo general ha resultado en ondulaciones eléctricas de naturaleza cuadrada o cuadrada modificada (ver figura 1.1) que poseen contenido armónico mayor del 5% y que afectan en el normal funcionamiento y la vida útil de los aparatos. En ese sentido se propone investigar y desarrollar un prototipo modulador por anchura de pulso sinusoidal SPWM basado en la tecnología de matriz de puertas programables (field-programmable gate array) FPGA para un convertidor DC-AC monofásico de frecuencia fija de tal forma que la tasa de distorsión armónica de la señal alterna generada sea  $THD \leq 5\%$  a partir de fuentes de alimentación de corriente continua.

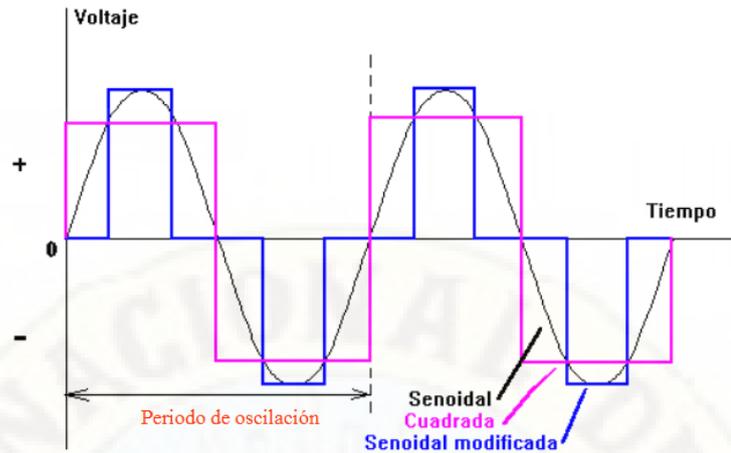


Figura N° 1. 1 Ondulaciones eléctricas de naturaleza cuadrada o cuadrada modificada

Fuente: [https://www2.ineel.mx/proyectofotovoltaico/preg\\_20.html](https://www2.ineel.mx/proyectofotovoltaico/preg_20.html)

## 1.2 FORMULACIÓN DEL PROBLEMA:

### 1.2.1 PROBLEMA GENERAL:

¿Cómo el diseño del modulador por anchura de pulso sinusoidal SPWM basado en una FPGA genera una onda sinusoidal de 60 Hz con un convertidor DC-AC?

### 1.2.2 PROBLEMAS ESPECÍFICOS:

- ¿Cuánto es el porcentaje de las amplitudes de las componentes armónicas 3, 5, 7, 9, 11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM?
- ¿Cuánto es la tasa de distorsión armónica THD del convertidor DC-AC monofásico modulada por anchura de pulso sinusoidal SPWM basada en una FPGA?
- ¿Cuánto es la diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y con modulador SPWM basada en una FPGA?.

## 1.3 OBJETIVOS:

### 1.3.1 OBJETIVO GENERAL:

Explicar el diseño del modulador por anchura de pulso sinusoidal SPWM basado en una FPGA que genera una onda sinusoidal de 60 Hz con un convertidor DC-AC.

### **1.3.2 OBJETIVOS ESPECÍFICOS:**

- a) Determinar el porcentaje de las amplitudes de las componentes armónicas 3, 5, 7, 9, 11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM
- b) Determinar la tasa de distorsión armónica THD del convertidor DC-AC monofásico modulada por anchura de pulso sinusoidal SPWM basada en una FPGA.
- c) Determinar la diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y con modulador SPWM basada en una FPGA.

## **1.4 JUSTIFICACIÓN:**

### **1.4.1 JUSTIFICACIÓN TEÓRICA:**

La investigación se sustentó en el hecho de desarrollar un diseño electrónico de modulador SPWM basado en la tecnología de los FPGAs que se aplica a los convertidores de continua en alterna (DC-AC). El informe de investigación presenta y explica el diseño y el algoritmo del controlador para el convertidor DC-AC.

### **1.4.2 JUSTIFICACIÓN PRÁCTICA:**

Se fundamentó en el desarrollo de un modulador de anchura de pulso sinusoidal que por su característica tiene una componente armónica fundamental de tipo sinusoidal cuya tasa de distorsión armónica no perjudica en el funcionamiento de los equipos electrónicos y por el contrario mantiene inalterable la vida útil de funcionamiento de los mismos.

### **1.4.3 JUSTIFICACIÓN TECNOLÓGICA**

Se buscó desarrollar un modulador SPWM basada en una FPGA dado que los sistemas embebidos actuales tienen procesamiento secuencial a diferencia del procesamiento digital en paralelismo propios de los FPGA que garantizan alta velocidad y precisión de las señales de salida, además su usabilidad en tecnologías de procesamiento de alta frecuencia.

En tal sentido el modulador SPWM basado en FPGA, finalmente será un sistema que puede ser útil para verificar el comportamiento de moduladores

SPWM desarrollados con micro controladores o procesadores los cuales se utilizan comúnmente para fabricar convertidores DC-AC.



## **CAPÍTULO II**

### **MARCO TEÓRICO**

#### **2.1 ANTECEDENTES:**

Se presenta información de artículos y tesis de grado y posgrado relacionados con el tema de estudio:

En artículo científico de (Palta, 2014), presenta el análisis y diseño de un inversor de tensión DC/AC topología Push-Pull en lazo abierto, el cual suministra una tensión de salida máxima semejante a la de la red eléctrica convencional nacional 120Vrms @ 60Hz, con posibilidad de reducción a la tensión de la salida variando el ancho de pulso en la conmutación de la fuente de DC. Se muestra la realización del análisis lógico para el diseño de los circuitos controladores de variación del ancho de pulso, los cuales se acoplan directamente a los dispositivos de conmutación utilizados IGBT's. Por otra parte, también se muestra el análisis de impedancias de salida del circuito, con el objetivo de lograr una tensión en la señal de salida con tendencia sinusoidal pura, haciendo uso entonces, del diseño y cálculo de filtros pasivos sintonizados a las frecuencias armónicas principales 180Hz, 300Hz y 420Hz (3ero, 5to y 7mo armónico), además de un filtro pasivo final Paso-Bajas con frecuencia de corte a 60Hz. Se presenta el cálculo de las bobinas del transformador (primario, secundario) haciendo uso del anterior análisis de impedancias, observando finalmente la señal de salida deseada de 170Vp @ 60Hz con disipación sobre la carga máxima de 5kW.

Por otro lado, el artículo científico (Sandoval, Salamanca, Cardozo, Duarte, & Fernandez, 2006), consiste en desarrollar un material didáctico adecuado para la enseñanza de los conceptos y el diseño de un inversor monofásico debido que existe una diversidad de materiales y equipos inversores de elevado costo que constituyen en una caja negra que impiden la apropiación del conocimiento subyacente. En este trabajo se desarrolla un inversor monofásico didáctico que puede ser utilizado en prácticas de electrónica de potencia. Como interruptores se escogieron IGBTs conectados en la configuración puente y manejados por un microcontrolador. Como resultado se obtuvo un inversor monofásico de 200 VA, con una entrada de 24 VCC y una señal cuadrada de salida de 115 VRMS cuya frecuencia puede variar entre 50 y 120 Hz.

Asimismo, (Diego, y otros, 2014) en el artículo científico “Diseño de un inversor monofásico con topología H5”, realiza el diseño de un convertidor DC/AC de baja potencia para aprovechamiento de energía eléctrica proveniente de fuentes renovables. El convertidor utiliza un inversor monofásico con topología H5, acoplado a un filtro LC para reducir la distorsión armónica. La topología H5 corresponde a puente completo o puente H de cuatro interruptores más un quinto interruptor, esta técnica desarrollada por Matthias, es utilizada actualmente por uno de los mayores fabricantes de inversores a nivel mundial como lo es SMA. Esta topología se fundamenta en el puente completo y la técnica de modulación PWM unipolar. Con esta técnica se permite obtener una corriente de salida conmutada cuya componente de baja frecuencia es obtenida por el filtro de segundo orden LC, filtro que es dimensionado de manera que no represente una reducción considerable de la eficiencia. El sistema es diseñado para soportar una potencia 100W, El inversor utiliza la modulación PWM unipolar y es probado experimentalmente a lazo abierto utilizando el microcontrolador dsPIC30F4011.

Por otro lado, la tesis de maestría de (Ruiz, 2016), consiste en una investigación bibliográfica sobre las topologías de los inversores más simples con modulación unipolar y bipolar, adicionalmente realiza un estudio sobre los dispositivos electrónicos de potencia y el método adecuado de control con índice de modulación de amplitud “ $m_a < 1$ ”. En el desarrollo presenta un controlador analógico de PWM en el software PSIM y Proteus además de su implementación en un microcontrolador ATMEGA8. Las pruebas de funcionamiento se efectuaron con cargas de tipo resistiva, inductiva y capacitiva.

Según (Hussin, Saparon, & Muhamad, 2010) en el artículo científico diseño e implementación de un modulador por anchura de pulso sinusoidal, se centra en optimizar el contenido armónico en ancho de pulso sinusoidal, el SPWM está diseñado con VHDL e implementado en ALTERA (DE2-70), La salida SPWM se genera por la intersección entre una señal sinusoidal y una señal triangular. La señal sinusoidal es la forma de onda de referencia y la forma de onda triangular es la forma de onda portadora. Cuando la amplitud de la señal sinusoidal es mayor que la señal triangular, el pulso comenzará a producir un valor “alto” o “1”. Y luego cuando las señales triangulares son más altas que la señal sinusoidal, el pulso se reducirá. La componente armónica para una resolución de 5 bits en la FPGA es elevada con respecto a una resolución de 10 bits; por lo tanto, a mayor resolución de bits en una FPGA, la tasa de distorsión armónica total se reduce.

Asimismo en (León Carrazco Martín Airam, 2012), se presenta el diseño y su implementación de un sistemas de control de un motor de inducción a través de la modulación por anchura de pulso sinusoidal SPWM que es reconfigurable en una FPGA. Este control basado en el SPWM se aplica a un sistema de bombeo solar sin baterías. La programación de la FPGA se realizó en VHDL en base al diseño de la secuencia de pulsos construidos en el Matlab con una frecuencia de señal moduladora de 60 Hz y portadora de 12 kHz. Según el análisis espectral de la señal, la mayor amplitud de la señal se encuentra en 24 kHz que es el doble de la frecuencia de la portadora. Tanto en la simulación como en su circuito implementado, se evidencia que las amplitudes de los armónicos de baja frecuencia tienen una amplitud menor del 3%. Finalmente en el artículo de investigación de (Aganza T. Alejandro, 2006) se presenta el diseño de un inversor trifásico para el control de un motor de inducción basado en el método de tensión frecuencia. La técnica usada para la modulación del sistema de conmutación es la SPWM que se ha programado en un microcontrolador PIC18F2431. Las características que destaca este artículo, son: Tiene un convertidor DC-AC trifásico, la resolución del modulador SPWM es de 14 bits, la frecuencia de la portadora es de 10 kHz siguiendo el patrón de una tabla de datos de una onda sinusoidal con dos punteros desfasados de  $120^\circ$  y  $240^\circ$ . Se ha evidenciado la construcción y funcionamiento del modulador SPWM a través de pruebas de carga resistiva y un filtro LC en la salida del convertidor DC-AC. En cuanto a la distorsión armónica THD de la tensión de salida, ésta es del 2.2% que indica que la señal sinusoidal es casi perfecta.

## **2.2 BASES TEÓRICAS**

### **2.2.1 CONVERTIDORES DC-AC**

Los convertidores CD/AC se conocen como inversores. Son sistemas electrónicos de alto rendimiento orientados a la transformación y elevación de corrientes de tipo continua DC (12 ó 24 Voltios) en otra convenientemente trasformada de 220 Voltios AC de frecuencias de 50 ó 60 Hz. La ganancia del inversor se define como la relación del voltaje de salida de AC al voltaje de entrada DC.

El inversor o convertidor DC/AC consta de una etapa de potencia realizada con transistores (IGBT, MOSFET), que trocean la corriente continua, alternándola y creando una forma de salida cuasi sinusoidal. La salida puede ser monofásica o trifásica dependiendo de las características y potencia de la carga. Para un correcto funcionamiento del sistema es necesario tener un circuito de

realimentación que consta de los correspondientes sensores y los circuitos de adaptación de señal necesarios para que el control digital implementado mediante un microcontrolador (DSP) pueda ejecutar adecuadamente los algoritmos de control precisos para determinar las señales de disparo del inversor (F.Gimeno, S.Segui, S. Orts, 2011) (Eduard Ballester, 2011).

Los convertidores de continua-alterna (DC-AC) o inversores se clasifican según diversos parámetros:

Según el tipo de alimentación se puede encontrar:

- Inversor VSI (Voltage Supply Inverter), donde se parte de una fuente de tensión continua para alimentar el inversor.
- Inversor CSI (Current Supply Inverter), donde se parte de una fuente de corriente continua para alimentar el inversor.

Según el tipo de carga que se pretende alimentar, se puede encontrar:

- Inversores Monofásicos. Se utilizan en potencias bajas (hasta 5 Kw).
- Inversores Trifásicos a 3 y 4 hilos. Se utilizan en potencias altas (a partir de 5 Kw).

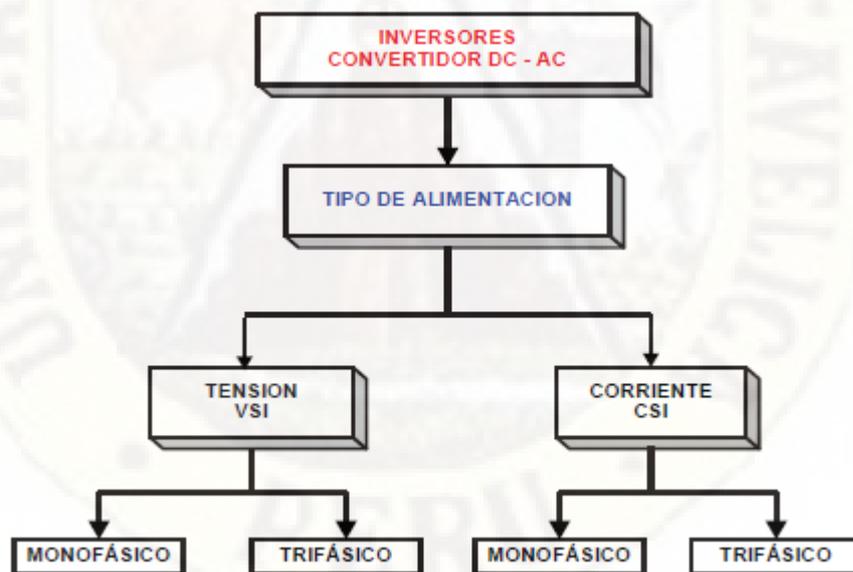


Figura N° 2. 1 Clasificación de inversores por el tipo de fuente de alimentación y por tipo de carga monofásica o trifásica.

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

Según la técnica de control utilizada y el tipo de modulador:

- Onda cuadrada. Tiene un rendimiento bajo y puede generar ruido, siendo no

apto para motores de inducción, pero es el más barato de todos. Representado en morado en la gráfica inferior.

- Onda sinusoidal modificada. El ancho de la onda es modificado para acercarlo lo más posible a la onda sinusoidal. Aun así, no llega a seguirla totalmente, sin embargo, tiene un rendimiento mayor y menos armónicos que la de onda cuadrada.
- Onda sinusoidal pura. Son los más eficientes y permiten el uso de cargas sofisticadas. Son también los más caros y los que más electrónica llevan, suelen llevar microcontroladores para la generación de las señales lógicas.

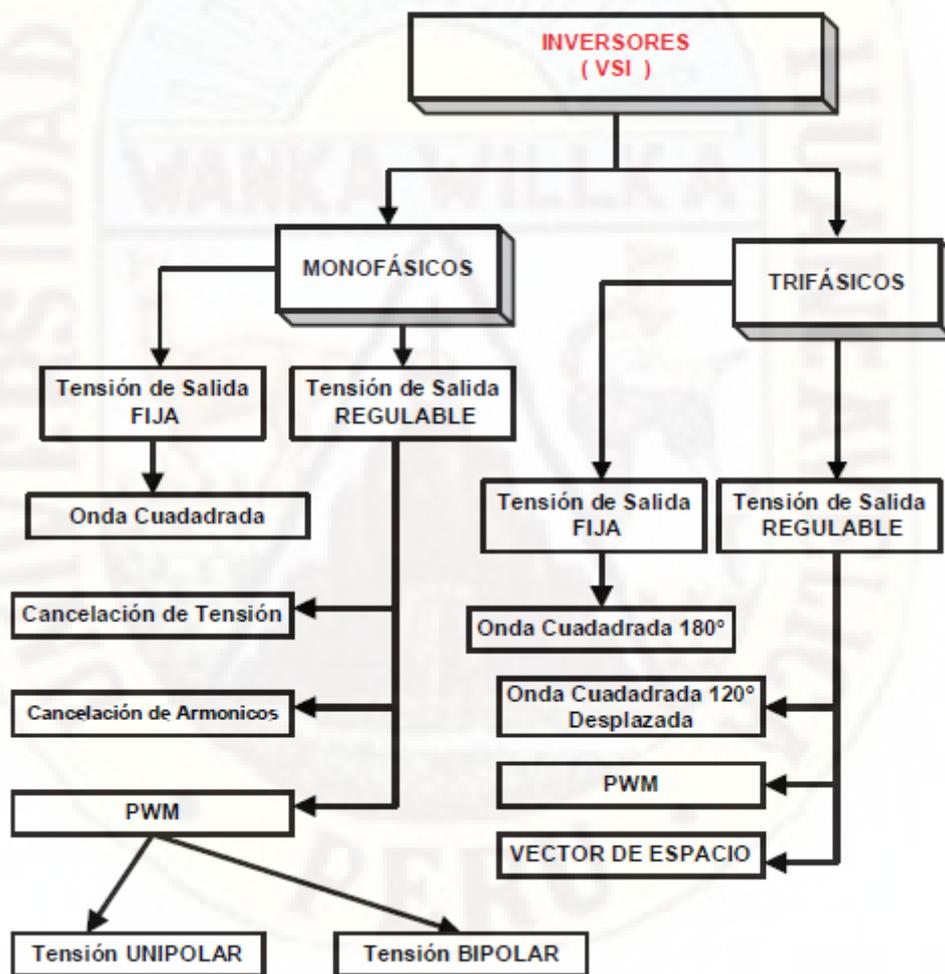


Figura N° 2. 2 Clasificación de inversores por el tipo de control y modulador.

## **2.2.2 ESTRUCTURA DE UN INVERSOR**

La estructura del convertidor electrónico DC/AC (inversor) está constituida por elementos que componen cualquier convertidor de potencia; las partes son: Los interruptores controlados de potencia, elementos pasivos y circuitos de control.

El interruptor controlado de potencia (polo de potencia) es el elemento base de un convertidor de potencia estático. Los interruptores de potencia, en el caso de corrientes alternas, deben ser capaces de conducir una intensidad bidireccional cuando están cerrados y bloquear una tensión bidireccional cuando están abiertos. Lo cual implica que deben ser capaces de cerrarse, independientemente de la polaridad de la tensión aplicada en sus extremos y el sentido de la corriente después de producirse el cierre, y de abrirse independientemente del sentido de la corriente y la polaridad de la tensión antes de la apertura. El desarrollo de la microelectrónica en la producción de dispositivos semiconductores ha proporcionado una gran variedad de interruptores electrónicos: Tiristores, GTO, BJT, MOSFET, IGBT, etc. Los inversores actuales utilizan normalmente los siguientes dispositivos: MOSFET de potencia que se utilizan cuando la tensión de continua es de bajo valor (inferior a 200V), debido a que la resistencia en conducción ( $r_{DS\ ON}$ ) entre los terminales de potencia es de bajo valor óhmico y las pérdidas en conducción son bajas. El IGBT se utiliza cuando la tensión del bus de continua es de elevado valor (superior a 300V), debido a que la caída de tensión entre los terminales de potencia es constante e inferior a los 2,5V y las pérdidas en conducción son independientes de la tensión del bus de continua (F.Gimeno, S.Segui, S. Orts, 2011) (Ned Mohan, 2009).

## **2.2.3 TOPOLOGIAS DE LOS INVERSORES DC-AC (F.Gimeno, S.Segui, S. Orts, 2011)**

Topología en semipunte. El inversor con tensión de salida fija más sencillo es el monofásico de onda cuadrada con toma media (half bridge), cuya configuración se muestra en la figura 2.2.

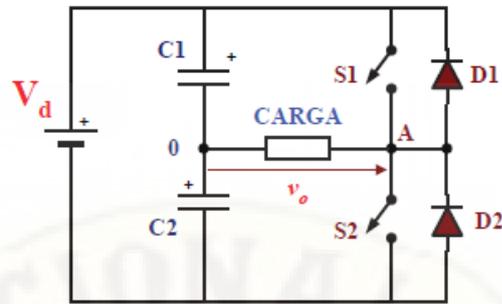


Figura N° 2. 3 Inversor monofásico semipuente.

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

La fuente de tensión de continua  $V_d$  mantiene los condensadores  $C1$  y  $C2$  cargados a una tensión igual a  $V_d/2$ . El funcionamiento de este convertidor es muy simple ya que sólo existen dos interruptores controlados  $S1$  y  $S2$  que conmutan alternativamente, por lo que nunca están en circuito cerrado simultáneamente.

La señal de salida que se obtiene en la carga es una señal alternada de valor máximo  $+V_d/2$  y valor mínimo  $-V_d/2$ , cuya representación gráfica es:

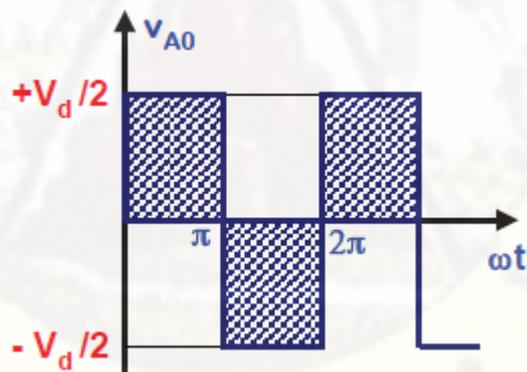


Figura N° 2. 4 Tensión de salida del inversor monofásico semipuente

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

Los diodos  $D1$  y  $D2$  actúan como diodos de libre circulación (diodos volantes) cuando la carga tiene una parte de componente inductiva, evitando la aparición de sobretensiones en los interruptores controlados ( $S1, S2$ ) cuando pasa a circuito abierto y existe energía almacenada en la parte inductiva de la carga. El valor eficaz de la tensión de salida viene dado por:

$$V_{A0\_RMS} = \sqrt{\left( \frac{1}{2\pi} \int_0^{\pi} \left( \frac{V_d}{2} \right)^2 d\omega t \right) + \left( \frac{1}{2\pi} \int_{\pi}^{2\pi} \left( -\frac{V_d}{2} \right)^2 d\omega t \right)} = \frac{V_d}{2}$$

Topología puente. En el caso de tener un inversor de onda cuadrada en topología puente completo (Full- Bridge), cuyo esquema eléctrico es el siguiente:

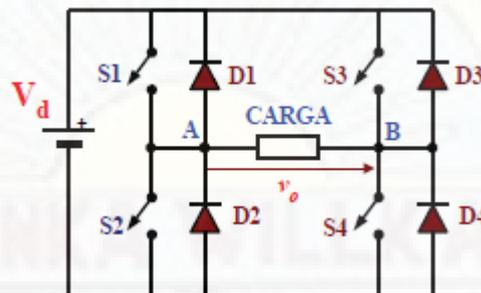


Figura N° 2. 5 Inversor monofásico puente

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

La señal de salida que se obtiene en la carga es una señal alternada de valor máximo  $+V_d$  y valor mínimo  $-V_d$ , cuya representación gráfica es:

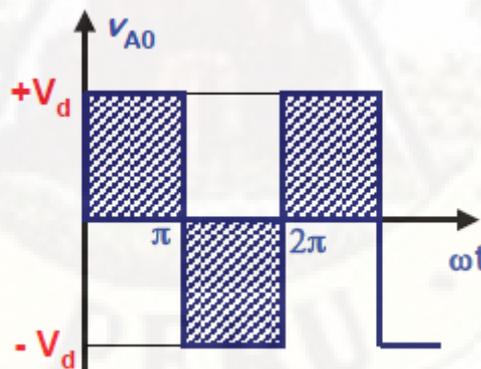


Figura N° 2. 6 Tensión de salida del inversor monofásico puente

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

Los diodos D1, D2, D3 y D4, actúan como diodos de libre circulación (diodos volantes) cuando la carga tiene una parte de componente inductiva, evitando

la aparición de sobretensiones en los interruptores controlados. El valor eficaz es:

$$V_{AO\_RMS} = \sqrt{\left( \frac{1}{2\pi} \int_0^{\pi} V_d^2 d\omega t \right) + \left( \frac{1}{2\pi} \int_{\pi}^{2\pi} (-V_d)^2 d\omega t \right)} = V_d$$

#### 2.2.4 CONTROL DE VOLTAJE DE LOS INVERSORES

En la mayoría de las aplicaciones de los inversores VSI es necesario ajustar el valor de la tensión alterna (magnitud escalar) que se obtiene a la salida entre unos márgenes adecuados para la aplicación concreta a la que se destine el inversor. La regulación de la tensión que se obtiene a la salida del inversor va a depender de la señal de referencia que controla el funcionamiento del inversor y determina los pulsos de disparo de los interruptores controlados que lo constituyen.

La señal de referencia se determina a partir de los lazos de realimentación disponibles en el sistema y que serán los responsables de compensar las variaciones que se puedan producir en la carga, en la tensión de alimentación, temperatura de trabajo de los inversores, entre otras.

Para poder mantener constante el valor de la tensión de salida de un inversor VSI se puede actuar en: La regulación de la tensión de entrada DC del inversor, controlando la tensión de las fuentes de suministro DC mediante el uso de convertidores DC-DC o mediante la utilización de convertidores AC-DC regulados cuando la fuente de suministro de energía es la red eléctrica de alterna. Del mismo modo la regulación depende de diversas técnicas de control de la conmutación de los interruptores controlados, lo que se denomina "Técnicas de Modulación". Y mediante la regulación de la tensión de salida mediante la utilización de máquinas eléctricas (autotransformadores) o mediante la utilización de reguladores de Alterna-Alterna (convertidores AC-AC). En particular según las técnicas de modulación destacan las siguientes:

- Modulación por Desplazamiento de Fase.
- Modulación en Anchura de un Pulso por Semiperíodo.
- Modulación en Anchura de varios Pulsos por Semiperíodo.
- Modulación Sinusoidal (SPWM).
- Modulación Sinusoidal Modificada.

- Modulación por Eliminación de Armónicos.
- Modulación Trapezoidal.
- Modulación por Inyección de Armónicos.

Modulación por desplazamiento de Fase, Se aplica un control independiente a cada una de las ramas del puente inversor monofásico. De forma que cada rama conduce un semiperiodo diferente, pero desfasada un ángulo  $\beta$ .

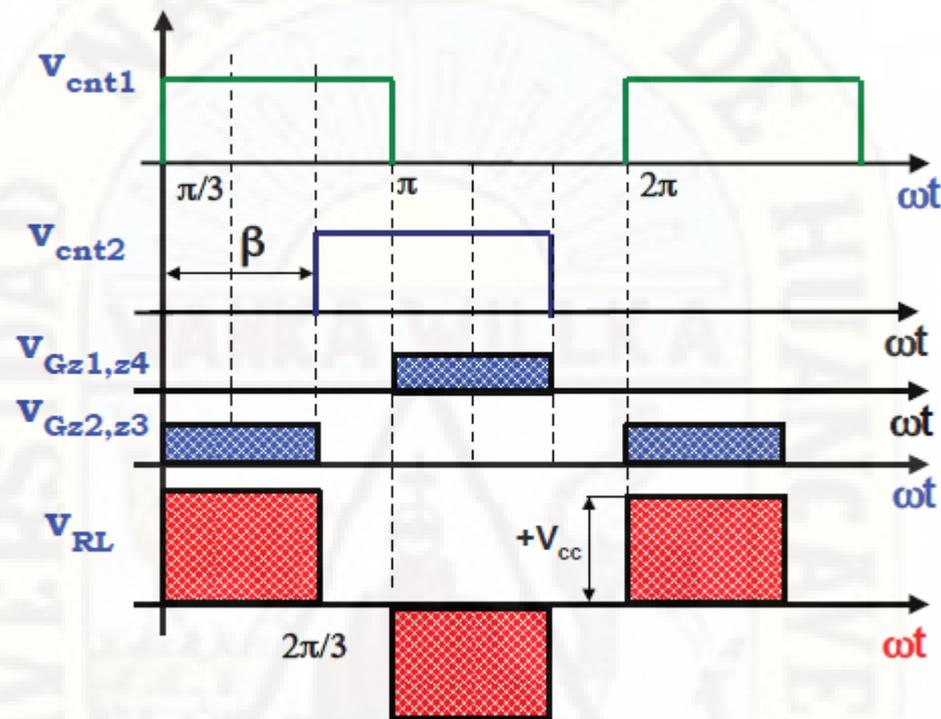


Figura N° 2. 7 Señal del inversor VSI, modulación desplazamiento de fase

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

El valor eficaz de la tensión de salida está expresado por:

$$V_{o(RMS)} = \sqrt{\frac{1}{\pi} \int_0^{\beta} V_{cc}^2 d\omega t} = V_{cc} \sqrt{\frac{\beta}{\pi}}$$

Modulación en anchura de un pulso por semiperíodo, se aplica un control de la tensión de salida mediante la variación del ancho de un pulso por semiperiodo. En un inversor monofásico se obtienen las señales de control mediante la comparación de una señal de referencia rectangular  $v_{ref}$  cuya amplitud es  $V_{ref}$  y una onda triangular  $v_{tri}$  cuya amplitud es  $V_{tri}$ . La salida de dicha

comparación activará el circuito de excitación del inversor. La frecuencia de la señal de referencia determina la frecuencia de la tensión de salida. Para variar el valor de la tensión de salida se realiza mediante la variación de la amplitud de la señal de referencia ( $V_{ref}$ ) la cual determinan la variación del ancho del pulso  $\delta$  desde un valor mínimo de  $0^\circ$  hasta un valor máximo de  $180^\circ$ .

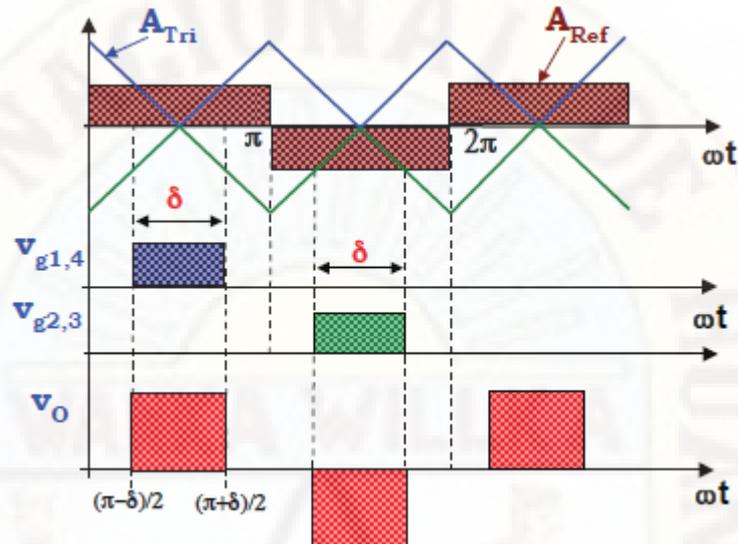


Figura N° 2. 8 Señal del inversor VSI, modulación anchura de un pulso por semiperíodo

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

El valor eficaz de la tensión de salida viene expresado como:

$$V_{O(RMS)} = \sqrt{\frac{1}{\pi} \int_{\pi-\delta/2}^{\pi+\delta/2} V_{cc}^2 d\omega t} = V_{cc} \cdot \sqrt{\frac{\delta}{\pi}}$$

Modulación en anchura de varios pulsos por semiperíodo, el control de la tensión de salida se obtiene mediante la variación del ancho de varios pulsos en cada semiperíodo. En un inversor monofásico se obtienen las señales de control mediante la comparación de una señal de referencia rectangular en cada semiciclo  $v_{ref}$ , cuya amplitud es  $V_{ref}$  y una onda triangular  $v_{tri}$  cuya amplitud es  $V_{tri}$ . La salida de dicha comparación activará el circuito de excitación del inversor. La frecuencia de la señal de referencia  $f_{ref}$  determina la frecuencia de la tensión de salida y la frecuencia de la señal triangular  $f_{tri}$  determina el número de pulsos “p” por semiciclo.

El valor eficaz de la tensión eficaz de la tensión de salida viene dado por:

$$V_{O(RMS)} = \sqrt{\frac{p}{\pi} \int_{\left(\frac{\pi}{p}\right) - \frac{\delta}{2}}^{\left(\frac{\pi}{p}\right) + \frac{\delta}{2}} V_{cc}^2 d\omega t} = V_{cc} \cdot \sqrt{\frac{p\delta}{\pi}}$$

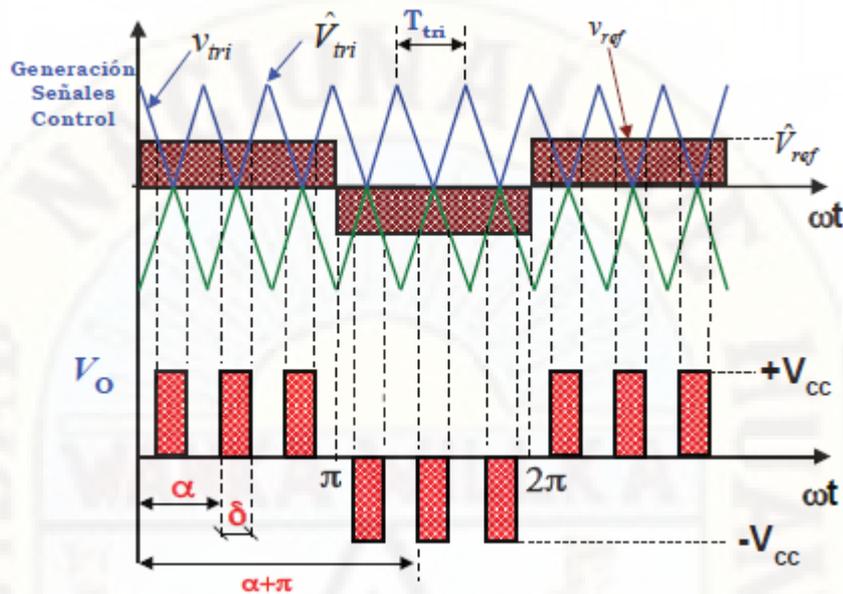


Figura N° 2. 9 Señal del inversor VSI, modulación en anchura de varios pulsos por semiperíodo

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

Modulación Sinusoidal (SPWM) (F.Gimeno, S.Segui, S. Orts, 2011) (Eduard Ballester, 2011) (Rahid, 2015), el control de la tensión de salida se efectúa mediante la variación del ancho de varios pulsos por semiperíodo con una separación variable entre los pulsos. En un inversor monofásico se obtienen las señales de control mediante la comparación de una señal sinusoidal que actúa como señal de referencia ( $v_{ref}$ ), cuya amplitud es  $\hat{V}_{ref}$  y de frecuencia  $f_{ref}$ , y una señal triangular  $v_{tri}$  cuya amplitud es  $\hat{V}_{tri}$  y de frecuencia  $f_{tri}$ , la cual mantiene constante siempre su amplitud. El resultado de dicha comparación activará el circuito de excitación del inversor. La frecuencia de la señal de referencia es siempre constante y determina la frecuencia de la tensión de salida y la frecuencia de la señal triangular determina el número de pulsos “p” por semiciclo. La variación de la tensión de salida desde los 0 voltios hasta la tensión máxima de salida se realiza mediante la variación de la amplitud de la señal senoidal de referencia ( $v_{ref}$ ), la cual determinan la variación del ancho de los pulsos  $\delta$  desde un valor mínimo de  $0^\circ$  hasta un valor máximo que depende

de la relación entre la frecuencia de la señal de referencia y la de la señal triangular (índice de modulación de frecuencia) y que también depende de la relación entre las amplitudes de las dos señales citadas (índice de modulación de amplitud). El valor eficaz de la tensión eficaz de la tensión de salida viene

$$V_{O(RMS)} = V_{cc} \cdot \sqrt{\sum_{m=1}^p \frac{\delta_m}{\pi}}$$

dado por:

Las señales de control típicas de esta técnica de modulación se muestran en la figura adjunta:

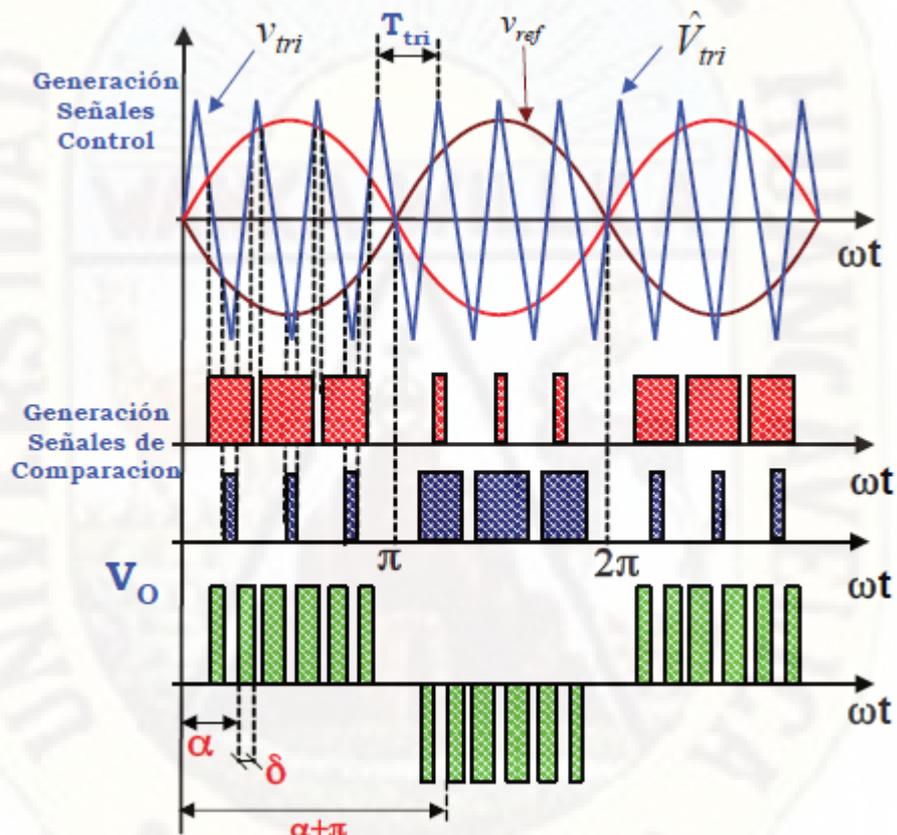


Figura N° 2. 10 Señal del inversor VSI, modulación sinusoidal SPWM

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

Modulación sinusoidal modificada, el objetivo es la mejora de las características del control SPWM, ya que tiene el inconveniente de la escasa variación del ancho de los pulsos por semiperiodo. En un inversor monofásico se obtienen las señales de control mediante la comparación de una señal sinusoidal (señal de referencia) y una onda triangular. Esta señal triangular es especial respecto

a la modulación SPWM, ya que consiste en comparar la señal triangular solamente en los primeros y últimos 60° de cada semi ciclo. La salida de dicha comparación activará el circuito de excitación del inversor. La frecuencia de la señal de referencia determina la frecuencia de la tensión de salida y la frecuencia de la portadora determina el número de pulsos “p” por semi ciclo. Con este tipo de control aumenta el valor de la componente fundamental y las características armónicas mejoran. También se reduce el número de conmutaciones en los semiconductores de potencia y por lo tanto reduce las pérdidas de conmutación. La representación de las señales son las que se muestran a continuación:

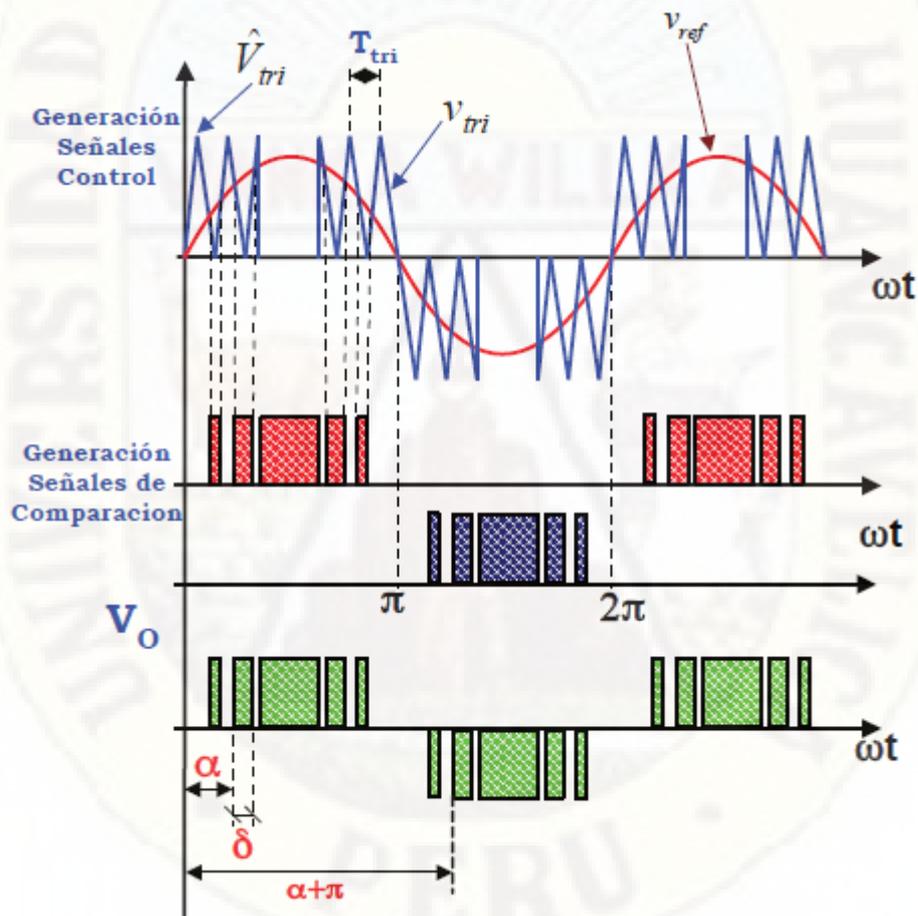


Figura N° 2. 11 Señal del inversor VSI, modulación sinusoidal SPWM modificada

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

Modulación por eliminación de armónicos, el objetivo es la eliminación de un número determinado de armónicos seleccionados. Así por ejemplo en la normativa vigente de generación de tensiones senoidales no deben de

aparecer el tercero y quinto armónico ya que afecta a cargas como motores y otras. La tensión de salida es:

$$v_o(t) = \sum_{n=1,3,5,\dots}^{\infty} b_n \text{sen}(n\omega t)$$

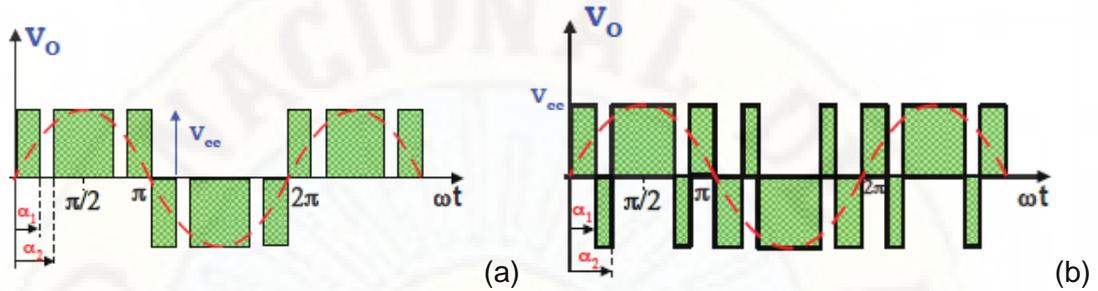


Figura N° 2. 12 Señal del inversor VSI, modulación por eliminación de armónicos, a) Tensión salida unipolar, b) Tensión salida bipolar.

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

Modulación trapezoidal, esta técnica de modulación aumenta el valor de pico de la componente fundamental de la tensión que se obtiene a la salida hasta en un 5% más, aunque aparecen componentes armónicas de frecuencia más baja. En este tipo de modulación la generación de las señales de control se obtiene por comparación entre una onda triangular ( $v_{tri}$ ) y otra trapezoidal ( $v_{ref}$ ).

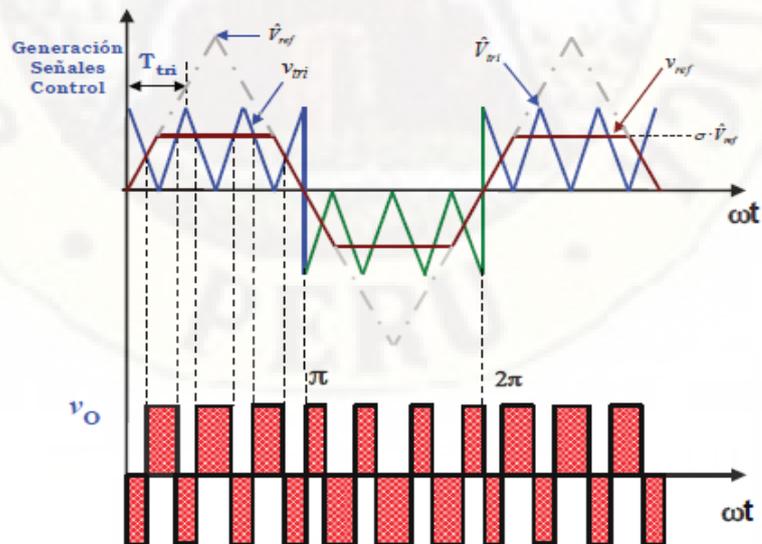


Figura N° 2. 13 Señal del inversor VSI, modulación trapezoidal.

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

Modulación por inyección de armónicos, el objetivo es obtener una baja distorsión debida a las componentes armónicas de la tensión de salida y aumentar el valor de pico de la componente fundamental de la tensión de salida. En este tipo de modulación la generación de las señales de control se obtiene por comparación entre una onda triangular y una señal de referencia compuesta por una selección de armónicos (señal de referencia). Así, por ejemplo, si se crea una tensión de referencia que esté compuesta por una senoide de frecuencia fundamental, más la componente del tercer y noveno armónico, se obtiene que la expresión de la tensión de referencia es:

$$v_{ref}(t) = 1.15\text{sen}(\omega t) + 0.3\text{sen}(3\omega t) + 0.05\text{sen}(9\omega t)$$

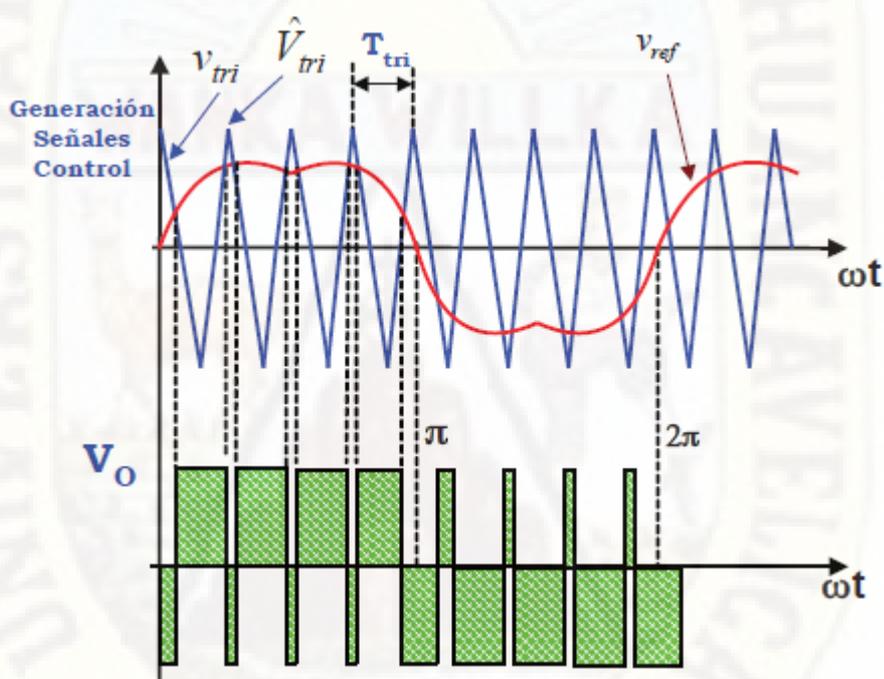


Figura N° 2. 14 Señal del inversor VSI, modulación por inyección de armónicos

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

Modulación por corriente regulada, básicamente hay dos técnicas para poder realizar dicho control: Control de la corriente por una banda de tolerancia, Control de la corriente por frecuencia fija. Una señal de referencia sinusoidal denominada  $i_{ref}$  se compara con la corriente que circula por la fase,  $i_R$ , con una banda de tolerancia alrededor de la corriente de referencia de cada fase. Como resultado de dicha comparación se obtienen las señales de disparo

correspondientes a la rama del inversor correspondiente a dicha fase (F.Gimeno, S.Segui, S. Orts, 2011).

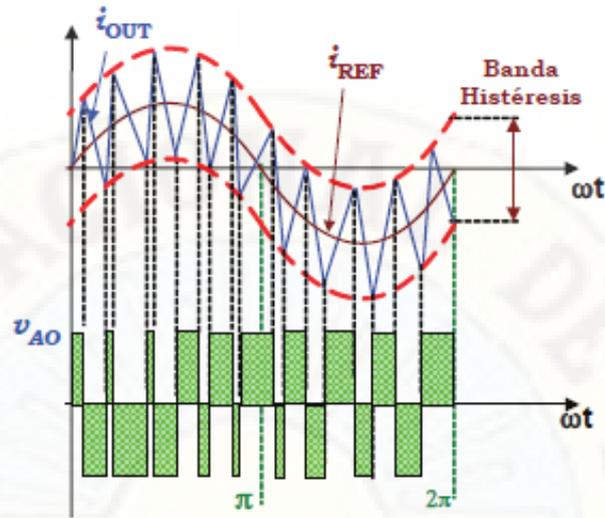


Figura N° 2. 15 Señal del inversor VSI, modulación por corriente regulada.

Fuente: (F.Gimeno, S.Segui, S. Orts, 2011)

### 2.2.5 DISTORSIÓN ARMÓNICA TOTAL THD

Se denomina en su forma general, a la medida de cuánto está distorsionada una forma de onda proporcionada por su suministrador eléctrico. La tasa de distorsión armónica total THD, se puede medir en corriente o voltaje El nivel de distorsión puede causar problemas a los diferentes sistemas eléctricos. La distorsión armónica ocurre principalmente en los múltiplos de la frecuencia de la señal portadora como es los 50 Hz para Europa, EE.UU., y 60 Hz para Perú. Los múltiplos de la frecuencia central o portadora se les conoce como componentes armónicos; donde, por ejemplo, el 3er armónico en la red monofásica de 60Hz sería 180Hz, el 7mo sería 420 Hz y así sucesivamente. Las componentes armónicas de la THD, a niveles altos pueden causar efectos como calentamiento o perturbaciones en las líneas eléctricas como a los aparatos que se conectan, por ello según la norma IEEE 519-2014 se recomienda que los sistemas eléctricos que suministran energía a computadoras y equipos similares relacionados no deben exceder de una distorsión THD mayor a 5% (IEEE, 2014).

Las componentes armónicas están determinadas por la ecuación matemática:

$$v(t) = \sum_{n=1}^k V_n \cdot \text{Cos}(n\omega_0 t + \theta_n)$$

Donde,  $V_n$  se define como la armónica de voltaje de orden “n” y  $\Theta_n$  es el ángulo de la armónica “n”.

En la Figura 2.16, se presenta la señal fundamental de 60 Hz asociada a su 3ra componente armónica que representa a una señal con distorsión armónica.

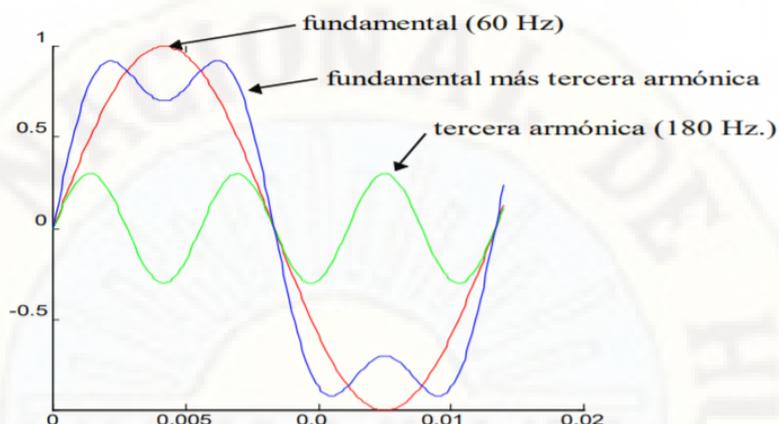


Figura N° 2. 16 Señal sinusoidal distorsionada con 3ra componente armónica

Fuente: (Hussin, Saparon, & Muhamad, 2010)

Por lo tanto, para una señal cualquiera la tasa de distorsión armónica total THD para las tensiones, está determinada por la siguiente ecuación:

$$THD_V = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots}}{V_1} * 100\%$$

Donde,  $V$  es la tensión eficaz (rms) de cada una de las componentes armónicas y está determinado por:

$$V_{rms} = \sqrt{\frac{1}{T} \int_0^T V^2(t) dt}$$

Donde,  $T$  es el periodo de la señal,  $V$  la amplitud de la señal.

Según el teorema de Fourier se demuestra que cualquier señal o función periódica no sinusoidal puede estar representada por la suma de señales o un conjunto de términos de ellos (serie), que va desde una señal fundamental y sus componentes armónicos que tienen frecuencias múltiples a la fundamental. Por lo general, el armónico de rango  $n$ , es la componente sinusoidal de una señal donde la frecuencia es  $n$  veces a la frecuencia fundamental. Ejemplo: En la red eléctrica de 60Hz, la frecuencia de la onda fundamental o primaria es 60

Hz, luego la segunda componente armónica tiene una frecuencia de 120 Hz ( $n=2$ ), la tercera componente ( $n=3$ ) será 180 Hz, y así sucesivamente.

### 2.2.6 EL ESPETRO DE FRECUENCIAS

Se denomina espectro de frecuencias a la descomposición espectral de una señal periódica, se caracteriza por la distribución de amplitudes de una señal en cada una de sus frecuencias asociadas (ver Figura 2.16).

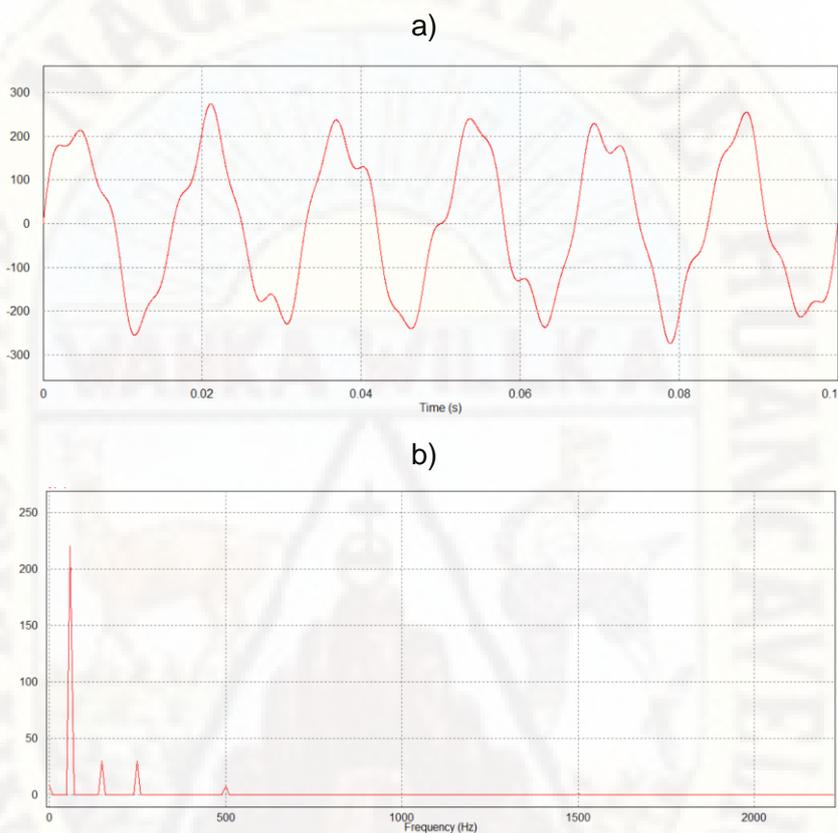


Figura N° 2. 17 a) Señal periódica distorsionada, b) Espectro de frecuencia

Fuente: Elaboración propia.

Para comprender la descomposición de dicha señal en sus diferentes componentes en el dominio frecuencial, se procede con el análisis espectral de la señal que es la operación matemática que ayuda a realizar el análisis; La operación matemática es la transformada de Fourier, que hace que se convierta cualquier función matemática en el dominio del tiempo en otra en el dominio de frecuencia. Al realizar la transformación, se facilita el tratamiento y análisis de la señal de una forma alternativa. La fórmula matemática de la transformada es:

$$F[u] = \int_{-\infty}^{\infty} f(t)e^{-i2\pi ut} dt$$

Donde,  $F[u]$  es la función en el dominio de la frecuencia,  $f(t)$  es la función en el dominio del tiempo continuo.

En el tiempo discreto, la función se denomina transformada de Fourier en tiempo discreto DFT; ésta es la forma digital de la transformada que permite obtener una representación de la señal en tiempo discreto en la del dominio de la frecuencia. Matemáticamente está representado por:

$$X_k = \sum_{n=0}^{N-1} x_n e^{-\frac{2\pi i}{N}kn}$$

Donde,  $X_k$  función discreta en el dominio de la frecuencia,  $x_n$  es la muestra de la señal,  $N-1$  es el número finito de muestras,  $k$  muestras en el dominio de la frecuencia.

Los valores de entrada de la DFT corresponden a una secuencia finita de números reales y complejos, de modo tal que es ideal para procesar información que se almacena en medios y soportes digitales. Es común utilizar la DFT en el procesado digital de señales y campos de estudio orientados al análisis de las frecuencias que contiene una señal muestreada. La DFT puede ser adecuadamente calculada de forma eficiente por la FFT (Fast Fourier Transform) transformada rápida de Fourier que corresponde a un algoritmo computacional de análisis espectral (Electric, 2015) (Proakis & Manolakis, 2014) (Ogata, Sistemas de control en tiempo discreto., 1996)

### 2.2.7 LAS FPGAs

Las FPGA fueron inventadas en el año 1984 por Ross Freeman y Bernard Vonderschmitt, cofundadores de Xilinx, y surgen como una evolución de los CPLD.

Tanto los CPLD como las FPGA contienen un gran número de elementos lógicos programables. Si medimos la densidad de los elementos lógicos programables en puertas lógicas equivalentes (número de puertas NAND equivalentes que podríamos programar en un dispositivo) podríamos decir que en un CPLD hallaríamos del orden de decenas de miles de puertas lógicas

equivalentes y en una FPGA del orden de cientos de miles hasta millones de ellas.

Aparte de las diferencias en densidad entre ambos tipos de dispositivos, la diferencia fundamental entre las FPGA y los CPLD es su arquitectura. La arquitectura de los CPLD es más rígida y consiste en una o más sumas de productos programables cuyos resultados van a parar a un número reducido de biestables síncronos (también denominados flip-flops). La arquitectura de las FPGA, por otro lado, se basa en un gran número de pequeños bloques utilizados para reproducir sencillas operaciones lógicas, que cuentan a su vez con biestables síncronos. La enorme libertad disponible en la interconexión de dichos bloques confiere a las FPGA una gran flexibilidad. Otra diferencia importante entre FPGA y CPLD es que en la mayoría de las FPGA se pueden encontrar funciones de alto nivel (como sumadores y multiplicadores) embebidas en la propia matriz de interconexiones, así como bloques de memoria.

### **2.2.8 PROGRAMACIÓN DE LA FPGA**

En la FPGA no se realiza programación tal cual como se realiza en otros dispositivos como DSP, CPLD o micro controladores. La FPGA tiene celdas que se configuran con una función específica ya sea como memoria (FLIP-FLOP tipo D), como multiplexor o con una función lógica tipo AND, OR, XOR. La labor del programador es describir el hardware que tendrá la FPGA. Por consiguiente, la tarea del programador es definir la función lógica que realizará cada uno de los CLB, seleccionar el modo de trabajo de cada IOB e interconectarlos.

El diseñador cuenta con la ayuda de entornos de desarrollo especializados en el diseño de sistemas a implementarse en una FPGA. Un diseño puede ser capturado ya sea como esquemático, o haciendo uso de un lenguaje de programación especial. Estos lenguajes de programación especiales son conocidos como HDL o lenguajes de descripción de hardware. Los HDL más utilizados son:

- VHDL
- Verilog
- ABEL

En un intento de reducir la complejidad y el tiempo de desarrollo en fases de prototipaje rápido, y para validar un diseño en HDL, existen varias propuestas y niveles de abstracción del diseño. Los niveles de abstracción superior son los funcionales y los niveles de abstracción inferior son los de diseño al nivel de componentes hardware básicos. Entre otras, National Instruments LabVIEW FPGA propone un acercamiento de programación gráfica de alto nivel.

### **2.2.9 FABRICANTES DE LA FPGA**

A principios del 2007, el mercado de las FPGA se ha colocado en un estado en el que hay dos grandes productores de FPGA de propósito general y un conjunto de otros competidores que ofrecen dispositivos con características específicas.

Xilinx es uno de los grandes líderes en la fabricación de FPGA.

Altera es el otro gran gigante. Anunció un acuerdo con Intel en 2015 para desarrollar una plataforma de supercomputación con CPUs con FPGA integradas.

Lattice Semiconductor sacó al mercado FPGA con tecnología de 90nm. Es el líder en tecnología no volátil como FPGA basadas en tecnología Flash y con productos de 90nm y 130nm. En 2014, Lattice semiconductor comenzó a ofrecer dispositivos programables basados en RAM combinados con memoria no volátil no reprogramable.

Actel (actualmente Microsemi) tiene FPGA basadas en tecnología Flash reprogramable.

QuickLogic dispone de productos basados en antifusibles, programables una sola vez.

Atmel es uno de los fabricantes que produce dispositivos reconfigurables. Se enfocó en microcontroladores AVR con FPGA juntos en un mismo encapsulado.

Achronix Semiconductor desarrollan FPGA muy rápidas.

MathStar Inc. ofrece FPGA que ellos denominan FPOA (Field Programmable Object Arrays por sus siglas en inglés).

Tabula anunció en marzo de 2010 una nueva tecnología FPGA que utiliza la lógica de tiempo multiplexado y la interconexión de mayor potencial de ahorro para aplicaciones de alta densidad.

### **2.2.10 RTL VIEWER EN LA FPGA**

El RTL Viewer, State Machine Viewer y Technology Map Viewer es una herramienta de visualización que permite ver al usuario las representaciones esquemáticas internas de los diseños en la FPGA. En cada visualizador se muestra una vista de todos los componentes del diseño. El RTL Viewer ayuda a observar el esquema del diseño después del proceso de análisis, elaboración y extracción de los esquemáticos; pero antes de la optimización y síntesis en Quartus II. Al examinar en mayor detalle la representación del RTL del esquemático se puede realizar la observación del esquemático por medio del visor de mapas de tecnología, que ayuda a visualizar el diseño a bajo nivel (componentes combinacionales y secuenciales), incluida la información de retrasos de tiempo para la ruta de tiempo. Asimismo, mediante State Machine Viewer se puede ver a nivel alto las máquinas de estado finito y su estructura interna incluida la vista detallada de las entradas y salidas. En general, el RTL Viewer ayuda a: Analizar cómo se infirieron los componentes, analizar rutas de tiempo y ubicar problemas de diseño para mejorarlo de forma temprana.

## **2.3 HIPÓTESIS**

### **2.3.1 HIPÓTESIS GENERAL:**

El diseño del modulador por anchura de pulso sinusoidal SPWM basado en una FPGA, genera una onda sinusoidal de 60 Hz al modular a un convertidor DC-AC.

### **2.3.2 HIPÓTESIS ESPECÍFICOS:**

- a) El porcentaje de las tensiones de las amplitudes de las componentes armónicas 3, 5, 7, 9, 11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM es inferior al 10%.
- b) La tasa de distorsión armónica THD del convertidor DC-AC monofásico modulado por anchura de pulso sinusoidal SPWM basada en una FPGA es menor del 5%.
- c) La diferencia de la tasa de distorsión armónica el convertidor DC-AC sin

modulador SPWM y con modulador SPWM es mayor del 25%.

## 2.4 DEFINICIÓN DE TÉRMINOS

Modulación PWM, La modulación de ancho de pulso (PWM, por sus siglas en inglés) de una señal es una técnica que logra producir el efecto de una señal analógica sobre una carga, a partir de la variación de la frecuencia y ciclo de trabajo de una señal digital. El ciclo de trabajo describe la cantidad de tiempo que la señal está en un estado lógico alto, como un porcentaje del tiempo total que esta toma para completar un ciclo completo (Rahid, 2015) (Instruments, s.f.).

Tasa de distorsión armónica, abreviado como THD da el contenido armónico total, pero no indica el nivel de cada componente armónico. Si se utiliza un filtro a la salida de los inversores, el armónico de mayor orden se atenuará con más eficacia, por lo que es importante conocer tanto la frecuencia como la magnitud de cada armónico.

Factor de potencia, Se define factor de potencia, FP, de un circuito de corriente alterna, como la relación entre la potencia activa, P, y la potencia aparente, S. Da una medida de la capacidad de una carga de absorber potencia activa. En términos simples, el factor de potencia mide la eficiencia de su consumo eléctrico, a la hora de convertirlo en potencia útil, como luz, calor o movimiento mecánico.

## 2.5 IDENTIFICACIÓN DE VARIABLES

INDEPENDIENTE:

Modulador por anchura de pulso sinusoidal SPWM basado en FPGA

DEPENDIENTE:

Convertidor DC-AC monofásico de frecuencia fija

**DEFINICIÓN CONCEPTUAL:**

**VARIABLE INDEPENDIENTE:**

Modulador por anchura de pulso sinusoidal (SPWM) basado en FPGA, es un tipo de modulador que genera los anchos de pulso al comparar un voltaje de referencia triangular de amplitud  $A_{tri}$  y de frecuencia  $f_{tri}$  con otro voltaje sinusoidal portador de amplitud variable  $A_{sin}$  y de frecuencia  $f_{sin}$

**VARIABLE DEPENDIENTE:**

Convertidor DC-AC monofásico de frecuencia fija (CMFF), es un convertidor Electrónico DC-AC aislado que funciona a la frecuencia de 60 Hz similar a la señal de la red eléctrica convencional.

$$CMFF = f (SPWM)$$

**OPERACIONALIZACIÓN: VARIABLE INDEPENDIENTE**

V.I.	Def. operacional	Dimensión	Capacidad especial	Indicador
Modulador por anchura de pulso sinusoidal (SPWM) basado en FPGA	El modulador genera los anchos de pulso al comparar un voltaje de referencia triangular(portadora) con una sinusoidal(señal moduladora) a una frecuencia fija	Ciclo de trabajo  Señal moduladora  Señal portadora	Asignar potencia  Asignar consigna de control  Llevar la consigna de control	Tensión de salida de una onda cuadrada desde 0 a 1.  $D = t/T$ t=Tiempo del ciclo de trabajo "on" T=Periodo de onda cuadrada  Determinar la amplitud y frecuencia del modulador. Amplitud, Voltios Frecuencia, Hz  Determinar la amplitud y frecuencia de la portadora. Amplitud, Voltios Frecuencia, Hz

Fuente: Elaboración propia

## OPERACIONALIZACIÓN: VARIABLE DEPENDIENTE

V.D.	Def. operacional	Dimensión	Cap. especial	Indicador
Convertidor DC-AC monofásico de frecuencia fija	El un convertidor electrónico DC/AC aislado genera señales cuya componente fundamental es una función sinusoidal de frecuencia fija con THD menor de 5%.	Componente armónico fundamental  Tasa de distorsión armónica THD	Establecer el tipo de señal de salida del inversor  Indicar la distorsión de la señal de salida.	Señal sinusoidal de amplitud y frecuencia. Amplitud, Voltios Frecuencia, 60 Hz  Deformación de la sinusoide. Vs=Tensión de entrada Vs1=Tensión, 1ra componente fundamental.

Fuente: Elaboración propia

Las herramientas estadísticas para la operacionalización de variables y presentación de resultados serán el Excel y el Minitab.

## **CAPÍTULO III**

### **MATERIALES Y MÉTODOS**

#### **3.1 TIPO DE INVESTIGACIÓN**

La investigación es de tipo aplicada-tecnológica; Kerlinger (1998) manifiesta que las investigaciones aplicadas tienen como finalidad la solución práctica de problemas.

El modulador por anchura de pulso sinusoidal SPWM basado en FPGA modula las señales del Convertidor DC-AC monofásico con una frecuencia fija con una THD  $\leq 5\%$ .

#### **3.2 NIVEL DE INVESTIGACIÓN**

##### **NIVEL EXPLICATIVO**

En esta investigación, se buscó obtener una señal sinusoidal de frecuencia fija a partir de una modulación por anchura de pulso sinusoidal.

Se explica el fenómeno de la modulación SPWM aplicada a una tensión tipo continua para generar ciclos de trabajo del circuito inversor monofásico. Además, se realiza un análisis espectral y su explicación sobre los resultados de las componentes armónicas de las tensiones de salida del circuito inverso.

#### **3.3 MÉTODO DE INVESTIGACIÓN**

Para desarrollar la presente investigación, se consideró el método científico como método general. En lo particular se usó los métodos analíticos, sintético.

Analítico, permitió realizar el estudio de cada una de las dimensiones propuestas para cada una de las variables.

Sintético, permitió la integración e implementación de la variable independiente SPWM y su ejecución en el funcionamiento del convertidor DC-AC para obtener THD  $\leq 5\%$ .

Experimental, se realizó la variación de los índices de modulación de amplitud y frecuencia del SPWM y se procesó el resultado a la salida del inversor.

#### **3.4 DISEÑO DE INVESTIGACIÓN**

SERIES CRONOLÓGICAS; Se considera este diseño porque se analizó los resultados de las mediciones en diferentes observaciones.

- O = Medición
- GC = Grupo Control, señal sinusoidal de 60Hz
- GE = Grupo de experimentación, señal del inversor 1ra componente armónica
- GC → O<sub>1</sub>, O<sub>2</sub>, O<sub>3</sub> O<sub>4</sub> O<sub>5</sub> O<sub>6</sub>
- GE → O<sub>1</sub>, O<sub>2</sub>, O<sub>3</sub> O<sub>4</sub> O<sub>5</sub> O<sub>6</sub>
- GC= GE

### 3.5 POBLACIÓN, MUESTRA MUESTREO

**POBLACIÓN:** Está representada por el conjunto de datos sobre mediciones de tensiones y corrientes a la salida del inversor que son medibles durante un periodo de tiempo de estudio; y por lo mismo sus características son INFINITAS debido que la información es extensa y abundante.

**MUESTRA:** En esta investigación el dimensionamiento de las muestras (n) para una población infinita se estimó por la siguiente ecuación matemática para poblaciones infinitas:

$$n = Z_0^2(P.Q) / E^2$$

donde:

n = Tamaño de muestra por cada variable.

Z<sub>0</sub>=Nivel de confianza o coeficiente de confianza 1,96.

P= Probabilidad de aceptación o proporción a favor (0,5).

Q=Probabilidad de rechazo o proporción en contra (0,5).

E=Factor de error de muestro 2%.

Aplicando el Nivel de confianza de 95%, y coeficiente de confianza Z<sub>0</sub> de 1.96 y Error de muestreo 5.5%, se obtiene un total de 318 muestras de la señal.

### 3.6 TÉCNICAS E INSTRUMENTOS DE RECOLECCIÓN DE DATOS

Las técnicas e instrumentos de recolección de datos son (Aponte, 2011):

TÉCNICAS:

**OBSERVACIÓN DIRECTA:** Mediante ésta técnica se evidencia en tiempo real la lectura de datos por medio del osciloscopio y simulaciones del PSIM. La recolección de datos se realiza en función de la frecuencia de la moduladora.

**INSTRUMENTOS:**

El instrumento de recolección de datos es un archivo digital almacenado en la computadora de mediciones de las amplitudes y la frecuencia de la señal de salida del convertidor DC-AC.

### **3.7 PROCEDIMIENTO DE RECOLECCIÓN DE DATOS**

El procedimiento de recolección de datos se realizó mediante simulaciones en el PSIM y mediciones en el osciloscopio y guardados en un archivo digital.

### **3.8 TÉCNICAS DE PROCESAMIENTO Y ANÁLISIS DE DATOS**

El análisis y procesamiento de datos se efectuó con los estadísticos de tendencia central y de dispersión. Finalmente se realizó la prueba de hipótesis mediante la t de Student.

### **3.9 ÁMBITO DE ESTUDIO**

El trabajo se desarrolló en la Universidad Nacional de Huancavelica, el modulador SPWM y convertidor se implementó con componentes electrónicos adquiridos en el mercado nacional o internacional.

## CAPÍTULO IV

### DISCUSIÓN DE RESULTADOS

#### 4.1 PRESENTACION DE RESULTADOS

En esta sección se presenta los resultados obtenidos del trabajo de investigación titulado, “DISEÑO DE UN MODULADOR POR ANCHURA DE PULSO SINUSOIDAL BASADO EN FPGA PARA UN CONVERTIDOR DC-AC MONOFÁSICO DE FRECUENCIA FIJA”. En primer lugar, se describe el diseño y construcción del modulador y luego se realiza la evaluación de la conversión DC-AC con el cual se obtiene la onda sinusoidal.

##### 4.1.1 DISEÑO DEL MODULADOR POR ANCHURA DE PULSO SINUSOIDAL.

Es necesario señalar como se indicó en la sección 1.1; los convertidores DC a AC (inversores) realizan una conversión de fuentes de corriente continua (baterías) a ondas cuadradas alternadas como se ilustra en la siguiente figura:

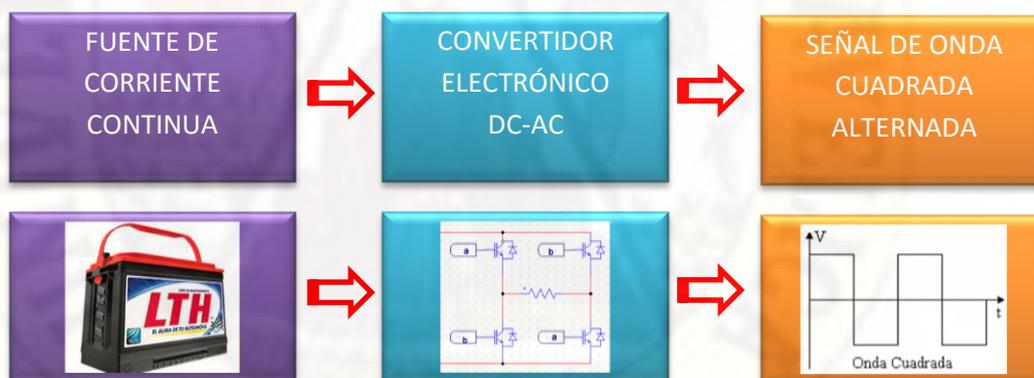


Figura N° 4. 1 Sistema tradicional de conversión DC-AC

Fuente: Elaboración propia.

Es pertinente señalar que al realizar la evaluación de una tensión de onda cuadrada alternada de 60 Hz como la que genera los convertidores DC-AC (Figura 4.1); a nivel espectral aplicado la transformada rápida de Fourier (FFT), encontramos la componente fundamental de la onda a 60 Hz acompañada de las componentes armónicas (3, 5, 7, 9, 11...) que corresponden a las frecuencias de 180 Hz, 300 Hz, 360Hz, 420 Hz, 540 Hz, 660 Hz, como se aprecia en la Figura 4.2b, indicando que estas

componentes armónicas son ondulaciones eléctricas (ruido eléctrico) que alteran el normal funcionamiento de los equipos eléctricos y electrónicos y que son nada perceptibles al ojo humano.

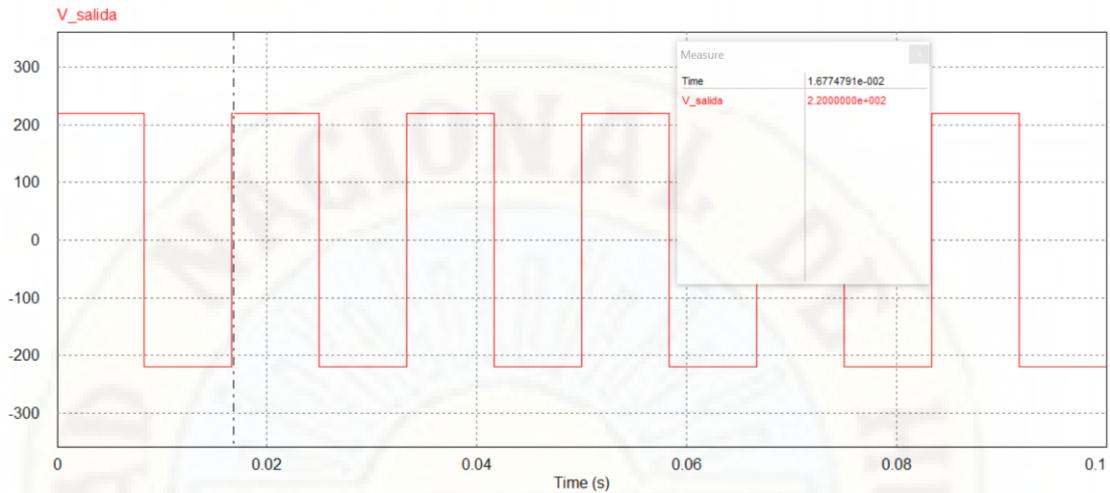


Figura N° 4. 2 Tensión de onda cuadrada alternada

Fuente: Elaboración propia.

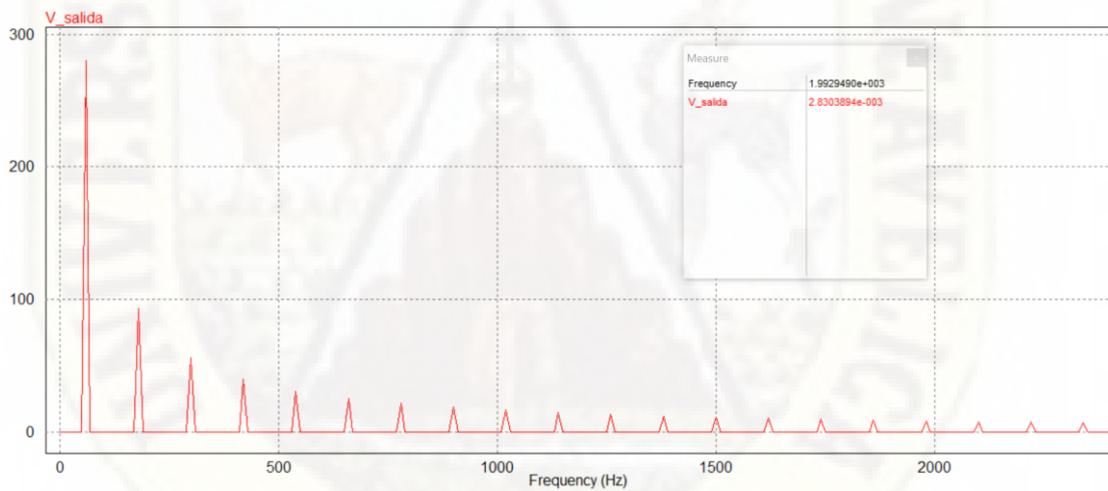


Figura N° 4. 3 Análisis espectral de tensión de onda cuadrada alternada

Fuente: Elaboración propia.

En consecuencia, como se recuerda en el ítem 1.1, se ha propuesto cambiar esta situación de convertir la tensión de corriente continua DC a una tensión alterna AC con forma de onda sinusoidal como se representa esquemáticamente en la siguiente figura.

FUENTE DE  
CORRIENTE  
CONTINUA

CONVERTIDOR  
ELECTRÓNICO  
DC-AC con SPWM y  
FPGA

SEÑAL ALTERNA  
SINUSOIDAL  
60 Hz

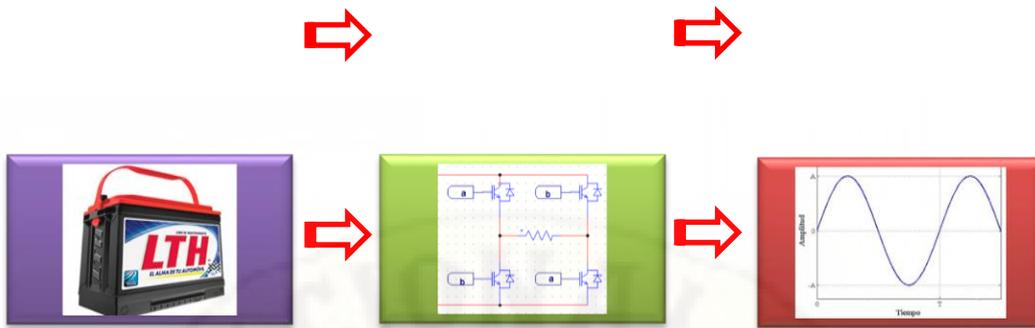


Figura N° 4. 4. Conversión DC-AC con modulador de anchura de pulso sinusoidal

Fuente: Elaboración propia.

Donde la tensión resultante del convertidor DC-AC tenga solo la componente fundamental de la senoide a 60 Hz como se aprecia en la Figura 4.5., cuando se aplica la transformada rápida de Fourier FFT.

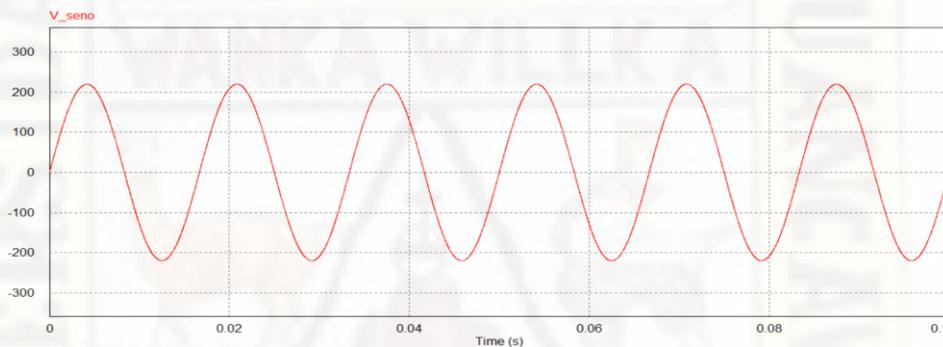


Figura N° 4. 5 Fuente de voltaje sinusoidal a 60 Hz.

Fuente: Elaboración propia

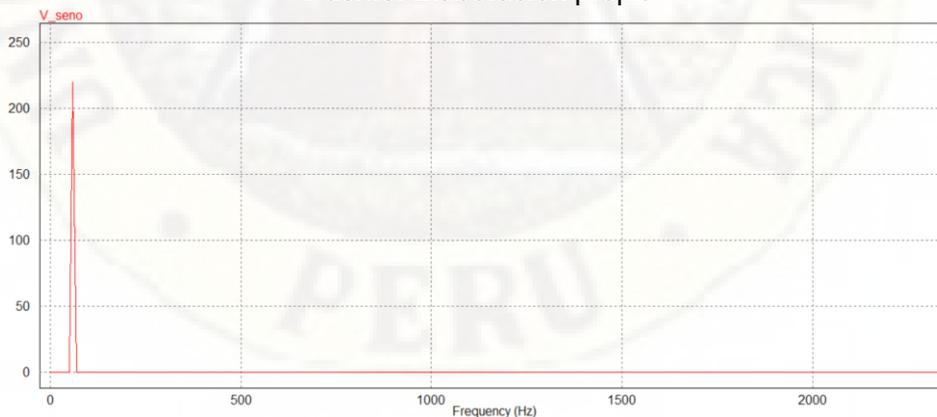


Figura N° 4. 6 Análisis espectral de tensión alternada sinusoidal

Fuente: Elaboración propia

En tal sentido se ha realizado la construcción del modulador por anchura de pulso sinusoidal basado en FPGA el mismo que genera la señal modulada de

ancho de pulso sinusoidal (SPWM), como resultado de la comparación de una señal moduladora tipo sinusoidal (60 Hz) y una portadora tipo triangular (2 kHz) como se aprecia en la Figura 4.6.

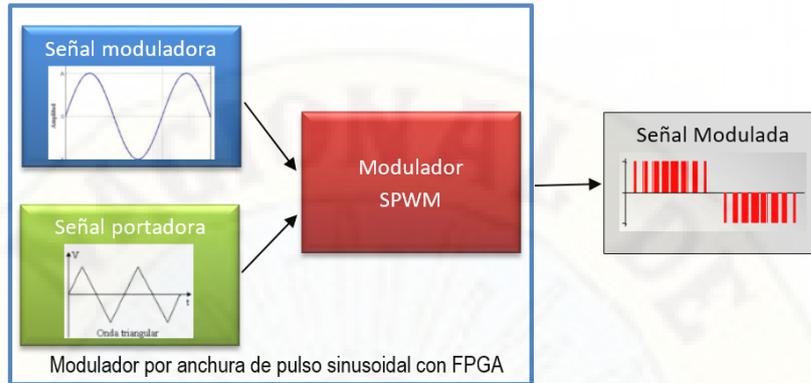


Figura N° 4. 7 Modulador SPWM basado en FPGA

Fuente: Elaboración propia

A continuación, se presenta el desarrollo del modulador SPWM con la FPGA modelo Cyclone IV de Altera para una frecuencia de 60 Hz basada en el lenguaje de descripción de Hardware.

En primer lugar, se ha realizado la simulación del modulador por anchura de pulso sinusoidal SPWM en el programa Simulink como se muestra en la Figura 4.7. Donde se usó 02 sinusoides de 60 Hz, la primera es una  $\text{Sin}(a)$  y la otra desfasada en  $180^\circ$   $\text{Sin}(a+180^\circ)$ , asimismo una señal triangular de 2 kHz con las cuales se obtiene el número total de pulsos para comba positiva y negativa de la senoide.

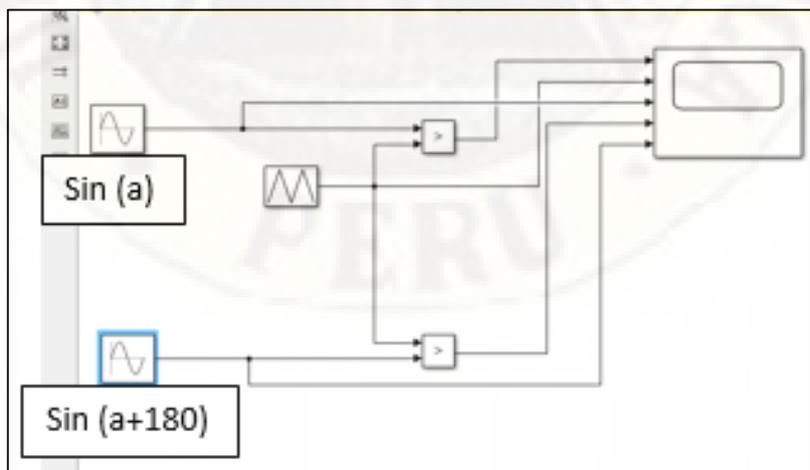


Figura N° 4. 8 Conformación de pulsos SPWM en el Simulink

Fuente: Elaboración propia.

Al realizar la simulación en el Simulink, obtenemos los pulsos SPWM como se observa en la Figura 4.8., Donde, los pulsos de color amarillo y verde son la resultante de la modulación entre la portadora (señal triangular) y la señal moduladora (señal sinusoidal) en un periodo de 16.5 milisegundos.

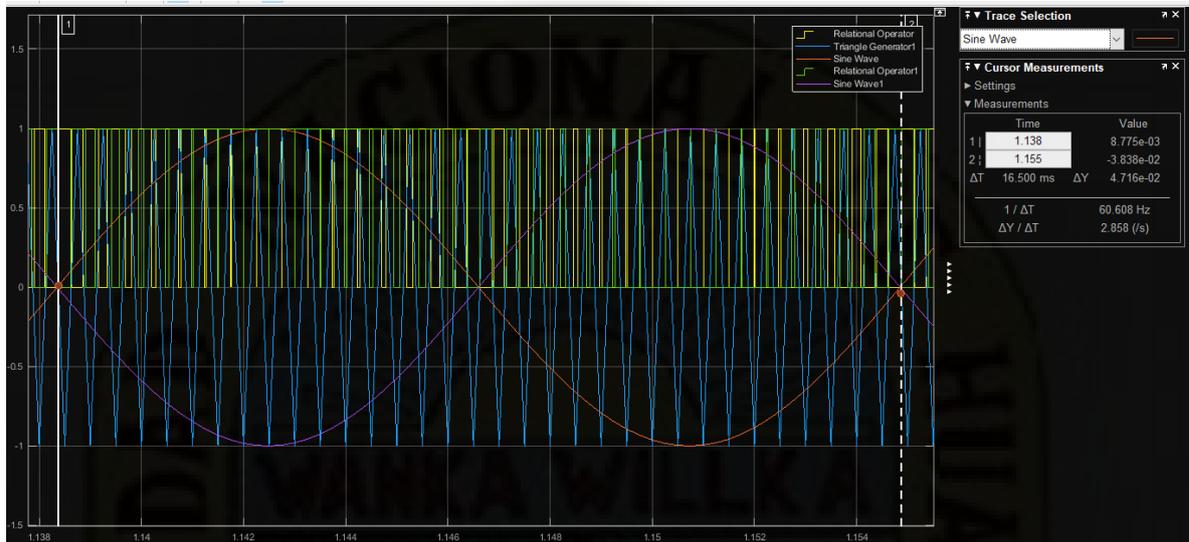


Figura N° 4. 9 Modulación SPWM a 60 Hz

Fuente: Elaboración propia

Al comparar la portadora de 0,5 ms (2 kHz) con la moduladora se genera un total de 17 pulsos con diferentes anchos de pulso, tanto para la comba positiva y negativa. En la Figura 4.9. Se representa la conformación de pulso de la comba positiva; en el caso de la comba negativa es similar.

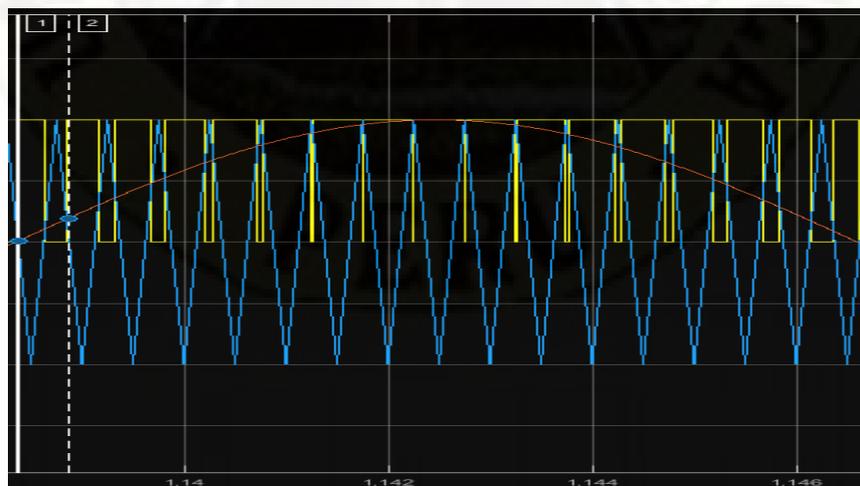


Figura N° 4. 10 Conformación de pulso SPWM a 60 Hz, comba positiva

Fuente: Elaboración propia

Al realizar la cuantificación aproximada de los pulsos SPWM de la Figura 4.9; se obtuvo la tabla de periodos de conducción de la modulación SPWM en estados de “ON” y “OFF”, tanto para la comba positiva y negativa, con el siguiente detalle:

Tabla N° 4. 1 Periodos de conducción de la modulación SPWM en estados ON y OFF

N° de pulso	Periodo de conducción en microsegundos (comba positiva)		N° de pulso	Periodo de conducción en microsegundos (comba negativa)	
	Estado “ON”	Estado “OFF”		Estado “OFF”	Estado “ON”
1	265	210	1	240	286
2	315	166	2	190	333
3	355	125	3	144	378
4	395	85	4	105	415
5	435	50	5	70	445
6	461	28	6	40	470
7	481	9.8	7	20	488
8	494.7	1	8	4	497.995
9	498.84	0.0013	9	0.012	497.545
10	494.154	10.7	10	4.95	487.5
11	480.5	29	11	20	470
12	459	54	12	40	445
13	430	88	13	71	412
14	394	126	14	107	375
15	352	172	15	147	331
16	306	217	16	193	284
17	261		17	240	
Periodo “ON”, “OFF”	6877.194	1372.806	Periodo “ON”, “OFF”	1635.95	6615.04
Periodo de Media onda sinusoidal	≈ 8250 us		Periodo de Media onda sinusoidal	≈ 8250 us	

Fuente: Elaboración propia

La conformación final de los pulsos SPWM de la comba positiva y negativa de nuestro modulador está representada por la Figura 4.10 donde se visualiza la señal alternada de pulsos SPWM.

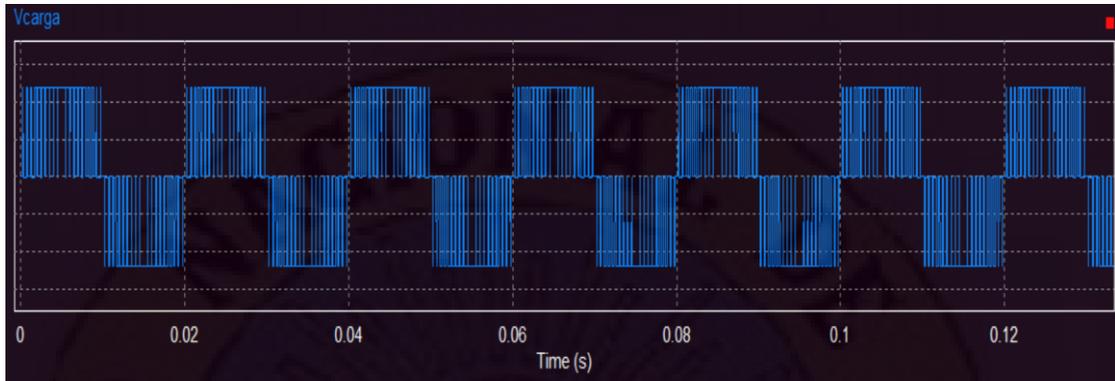


Figura N° 4. 11 Conformación de pulso SPWM a 60 Hz, comba positiva y negativa

Fuente: Elaboración propia

Por lo tanto, en base a la aproximación de los periodos de conmutación de los pulsos de la modulación por anchura de pulso sinusoidal SPWM, se ha programado el código fuente en la FPGA. En la Figura 4.12, se presenta un extracto del código de programa en VHDL del modulador SPWM (Mayor detalle del programa, ver Anexo)

```

1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.std_logic_arith.all;
4
5  entity GENERADOR33A is
6
7
8  PORT( Reloj,A,RESET_2,RESET : IN STD_LOGIC;
9        T1,T2,T3,T4 : OUT STD_LOGIC );
10
11 end GENERADOR33A;
12
13
14 architecture Behavioral of GENERADOR33A is
15
16 COMPONENT divisordefrecuencia IS
17     PORT (
18
19         Reloj, Reset_2 : IN STD_LOGIC;
20         |
21         SalidaLed : OUT STD_LOGIC
22
23     );
24     END COMPONENT;
25
26
27 COMPONENT CIRCUITOR IS
28     PORT (
29
30         X,X1,X2,X3,X4,X5,X6,X7,X8,X9,X10,X11,X12,X13,X14,X15,X16 : IN STD_LOGIC;
31
32         T1,T2 : OUT STD_LOGIC
33
34     );
35     END COMPONENT;

```

Figura N° 4. 12 Código VHDL del modulador SPWM basado en una FPGA.

Fuente: Elaboración propia.

Al compilar el programa, se construye en la FPGA el modulador SPWM que está constituido por 3 bloques (divisor de frecuencia, contador ascendente/descendente de comba positiva y negativa, sistema de compuertas y fliflops) como se puede apreciar en el esquemático RTL Viewer que se representa en la Figura 4.13.

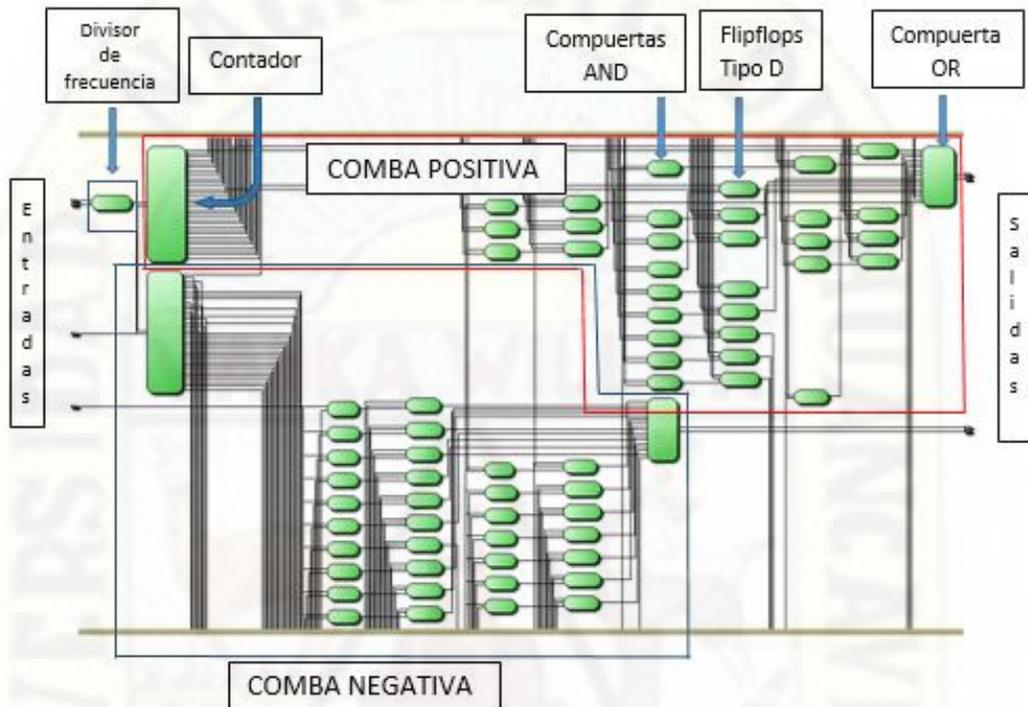


Figura N° 4. 13 Esquemático RTL Viewer del modulador SPWM

Fuente: Elaboración propia

**El divisor de frecuencia**, es un sub módulo del programa principal en VHDL (ver Figura 4.14) que tiene la finalidad de reconfigurar los periodos de conmutación del oscilador interno de la FPGA.

```
18 architecture Contador of divisordefrecuencia is
19     signal Salida: std_logic;
20     signal Cuenta: integer range 0 to 24:=0;----- SE DIVIDE ENTRE LA FRECUENCIA DESEADA Y
21     ---SE RESTA 1 (50MHZ/ 1 MHZ)-1 = 24
22
```

Figura N° 4. 14 Divisor de frecuencia en la FPGA

Fuente: Elaboración propia

Por lo general, el reloj interno de la FPGA oscila a 50 MHz y dado que se requiere una salida de 1MHz para nuestro sistema; realizamos el siguiente procedimiento:

$$R = \left( \frac{F_{in}}{F_{out}} \right) - 1 = \left( \frac{50 \text{ Mhz}}{1 \text{ Mhz}} \right) - 1 = 24$$

Donde:

Fin = Frecuencia interna de oscilación de la FPGA.

Fout= Frecuencia de salida de oscilación de la FPGA.

R= Constante de conmutación ON /OFF.

**El contador ascendente y descendente de comba (positiva/ negativa),** es un sub programa de la FPGA (Ver Figura 4.14). Donde el contador es de 15 bits (cuenta de cero a 32768) mediante el cual se realiza la conformación de los pulsos sinusoidales representado como pulsos cuadrados de la modulación SPWM. Para tal fin, se requieren cuentas sucesivas y repetitivas desde el cero hasta 16500 siendo ésta la última cuenta para reiniciar el conteo como se aprecia en la Figura 4.14 sección de la línea 274 donde Q\_BUS es la salida del contador.

```

273 |
274 | IF Q_BUS = (16500) THEN
275 |
276 |   Q_BUS(14) <='0'; Q_BUS(13) <='0';
277 |
278 |   Q_BUS(12) <='0'; Q_BUS(11) <='0'; Q_BUS(10) <='0'; Q_BUS(9) <='0'; Q_BUS(8) <='0'; Q_BUS(7) <='0';
279 |   Q_BUS(6) <='0'; Q_BUS(5) <='0'; Q_BUS(4) <='0'; Q_BUS(3) <='0'; Q_BUS(2) <='0'; Q_BUS(1) <='0';
280 |   Q_BUS(0) <='0';
281 |
282 | END IF;

```

Figura N° 4. 15 Código del contador ascendente y descendente de comba (positiva/negativa) en la FPGA

Fuente: Elaboración propia

A continuación, en la Figura 4.16, observamos el esquemático en RTL Viewer del contador de comba de la señal sinusoidal, donde el contador de nombre PULSOS33: CONTADOR representa al contador de comba positiva y el contador de nombre CONTADOR8 representa al contador de comba negativa, ambos concordantes con la secuencia de ancho de pulso de la Tabla N° 4.1

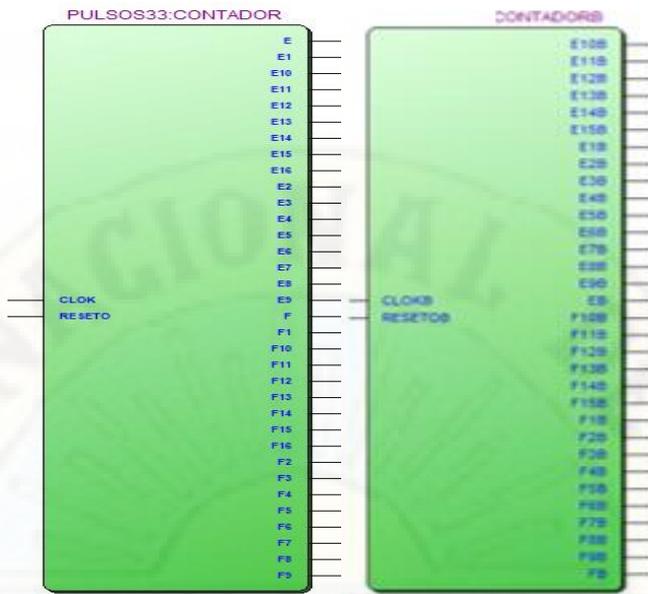


Figura N° 4. 16 RTL Viewer del contador ascendente y descendente de comba (positiva/negativa) en la FPGA

Fuente: Elaboración propia

**El sistema de compuertas y fliflops**, forman un circuito digital para crear los pulsos SPWM (17 pulsos para la comba positiva y 16 pulsos para la comba negativa) en base a las secuencias de conteo de los contadores de la Figura 4.15. En la Figura 4.16, se observa el circuito del sistema de compuertas y fliflops con la cual se obtiene los pulsos SPWM en la salida de la FPGA; por ejemplo, para el primer pulso SPWM cuyo estado es "ON" el conteo inicia en 1 microsegundo(us) y dura hasta alcanzar los 265 microsegundos, luego cambia de estado a "OFF" en la cuenta 266 hasta los 475 us con la cual se ha conformado el primer pulso; a continuación se prosigue de forma repetitiva con el conteo para los demás pulsos SPWM según la distribución de estados de la Tabla 4.1.

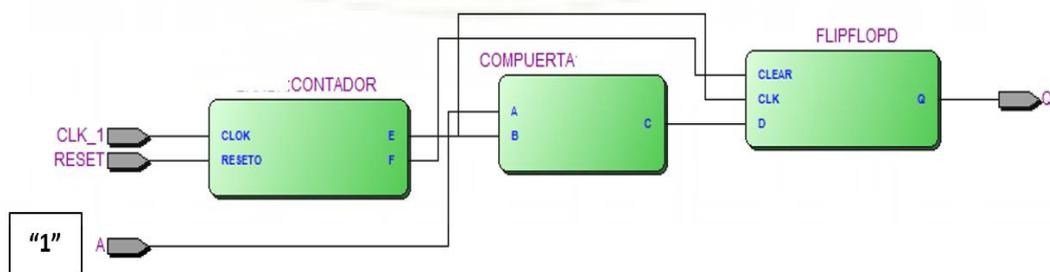


Figura N° 4. 17 RTL Viewer del sistema de compuertas y fliflops para la conformación de los pulsos SPWM

Fuente: Elaboración propia

En la Figura 4.18, se representa la conformación de pulsos de la FPGA según la modulación por anchura de pulso sinusoidal SPWM que ha sido descrito en párrafos anteriores. Donde, los pulsos del recuadro rojo de la Figura 4.17, representan a los pulsos SPWM pertenecientes a la comba positiva, del mismo modo, los pulsos del recuadro verde representan a los pulsos SPWM pertenecientes a la comba negativa.

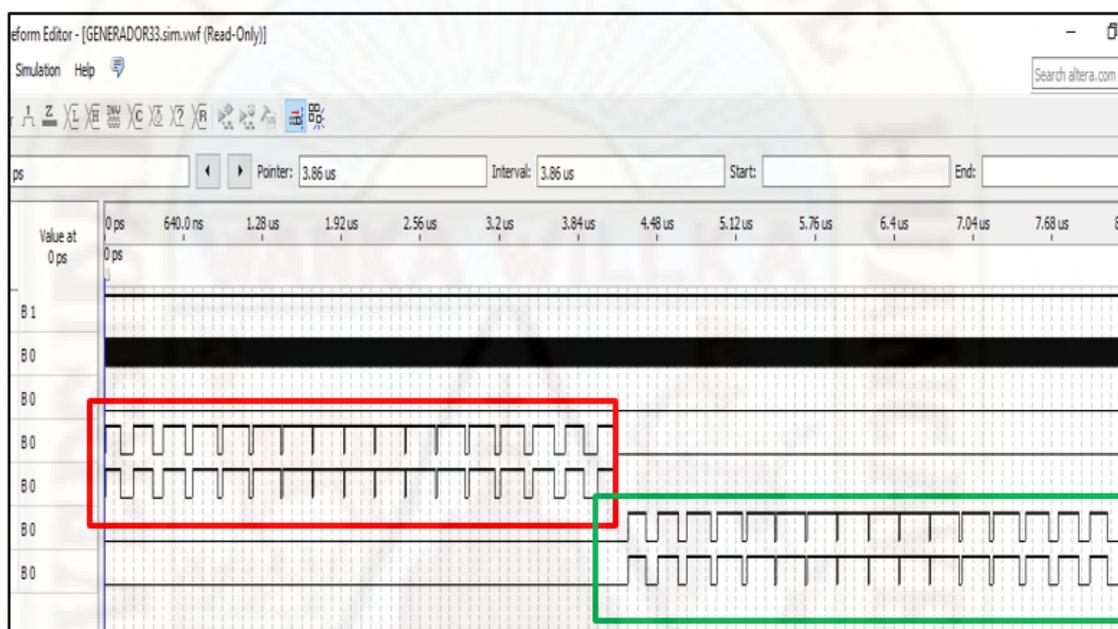


Figura N° 4. 18 Conformación de pulsos de la FPGA según modulación SPWM

Fuente: Elaboración propia.

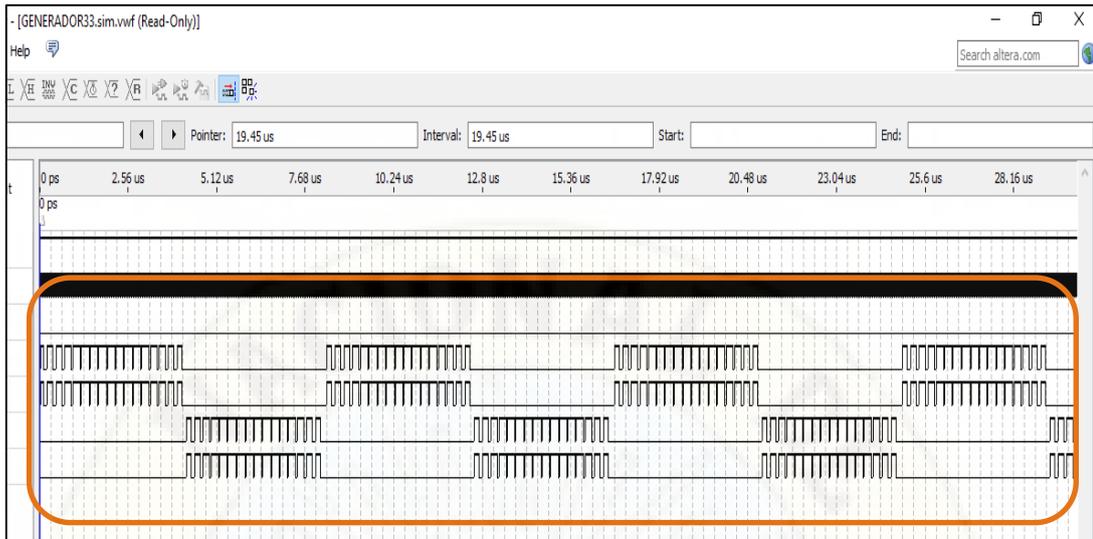


Figura N° 4. 19 Secuencia infinita de pulsos de la FPGA según modulación SPWM

Fuente: Elaboración propia.

A continuación, se presenta información de los resultados obtenidos del modulador SPWM basado en la FPGA los que son conectados al convertidor DC-AC para obtener una tensión de salida alterna con tipo de señal sinusoidal.

#### 4.1.2 ANÁLISIS DE RESULTADOS DEL DISEÑO.

En esta sección se presenta los resultados obtenidos del SPWM implementado físicamente con componentes electrónicos donde el modulador por anchura de pulso sinusoidal está desarrollado en una FPGA que se abordó ampliamente en el ítem 4.1. En primer lugar, se presentará la secuencia de pulsos del modulador por anchura de pulso sinusoidal desarrollado en la FPGA, luego se realizará una comparativa de ondas SPWM del modo simulado Quartus II y el análisis espectral con la FFT (Transformada rápida de Fourier). Finalmente se verifica la obtención de la conformación de los pulsos sinusoidales y su análisis espectral. Modulación por anchura de pulso sinusoidal(SPWM) con FPGA, en la Figura 4.19. se observa la conformación de pulsos de la comba positiva y negativa del modulador en concordancia con la simulación realizada en el Quartus II visto en el ítem 4.1. (Figura 4.18 y Figura 4.19). Donde los pulsos de color amarillo, representan al semiciclo de la comba positiva del SPWM y los pulsos de color celeste representan al semiciclo de la comba negativa del SPWM. La frecuencia de la conformación de ondas con modulación por anchura de pulso sinusoidal SPWM es de 60 Hz.

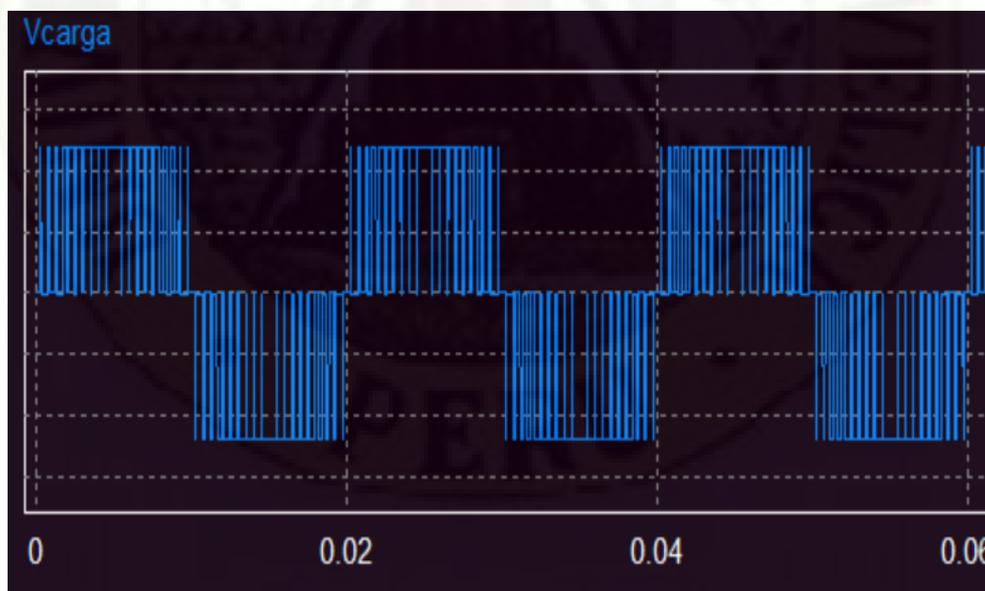


Figura N° 4. 20 Conformación de pulsos SPWM con FPGA. Color amarillo (Pulsos SPWM comba positiva); Color celeste (Pulsos SPWM comba negativa).

Fuente: Elaboración propia.

Luego de obtener la conformación de los pulsos SPWM con la FPGA como se pudo observar en la figura anterior, procedemos a construir la señal alternada de comba positiva y negativa de nuestro modulador (ver Figura 4.21b).

a)



b)



Figura N° 4. 21 Conformación alternada de pulsos SPWM con FPGA, a) En modo de simulación. b) En modo real medido en el osciloscopio.

Fuente: Elaboración propia.

Luego de la conformación de los pulsos del modulador por anchura de pulso sinusoidal SPWM basado en FPGA (Figura 4.20), se ha realizado la conexión de las señales SPWM al convertidor DC-AC de dos niveles constituido por 04 transistores y 04 diodos en anti paralelo para realizar las conmutaciones del circuito de puente H como se aprecia en la Figura 4.21.

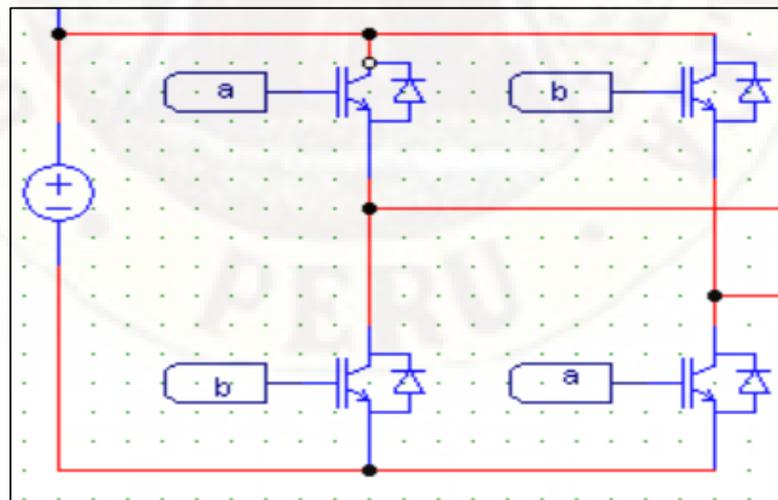


Figura N° 4. 22 Circuito convertidor DC-AC en configuración puente H

Fuente: Elaboración propia

Donde:

1. Para la comba positiva de la señal de pulso SPWM, los terminales “a” actúan en estado de conducción “ON” saturando a sus transistores y haciéndolos conducir la corriente en sentido horario; por lo tanto, la polaridad de la tensión en la carga es positiva. En cuanto a los transistores con terminales “b”, éstas se encuentran en estado de no conducción “OFF” haciendo que sus transistores conectados se encuentren en estado corte.
2. Para la comba negativa de la señal de pulso SPWM, los terminales “b” actúan en estado de conducción “ON” saturando a sus transistores y haciéndolos conducir la corriente en sentido anti horario; por lo tanto, la polaridad de la tensión en la carga es negativa. En cuanto a los transistores con terminales “a”, éstas se encuentran en estado de no conducción “OFF” haciendo que sus transistores conectados se encuentren en estado corte.

Esta secuencia de conmutaciones se desarrolla de forma indefinida mientras la FPGA realice la modulación SPWM a 60 Hz, realizando la conversión DC-AC.

Al realizar el análisis digital de la señal de la Figura 4.20 a y b, obtenemos los siguientes datos de los pulsos SPWM como se aprecia en la Tabla 4.2.

Tabla N° 4. 2 Muestras de conmutación del modulador SPWM

Muestra "n"	Tiempo "ms"	Voltaje "V"	Muestra "n"	Tiempo "ms"	Voltaje "V"	Muestra "n"	Tiempo "ms"	Voltaje "V"	Muestra "n"	Tiempo "ms"	Voltaje "V"	Muestra "n"	Tiempo "ms"	Voltaje "V"	Muestra "n"	Tiempo "ms"	Voltaje "V"	Muestra "n"	Tiempo "ms"	Voltaje "V"
1	0.1	0.0	51	2.6	24.0	101	5.0	24.0	151	7.5	0.0	201	10.0	0.0	251	12.5	0.0	301	15.0	0.0
2	0.1	0.0	52	2.6	24.0	102	5.1	24.0	152	7.6	24.0	202	10.1	0.0	252	12.6	0.0	302	15.1	0.0
3	0.2	0.0	53	2.7	24.0	103	5.1	24.0	153	7.6	24.0	203	10.1	0.0	253	12.6	0.0	303	15.1	0.0
4	0.2	0.0	54	2.7	24.0	104	5.2	24.0	154	7.7	0.0	204	10.2	0.0	254	12.7	0.0	304	15.2	0.0
5	0.3	0.0	55	2.8	0.0	105	5.2	0.0	155	7.7	0.0	205	10.2	0.0	255	12.7	0.0	305	15.2	0.0
6	0.3	0.0	56	2.8	24.0	106	5.3	24.0	156	7.8	0.0	206	10.3	0.0	256	12.8	0.0	306	15.3	0.0
7	0.4	0.0	57	2.9	24.0	107	5.3	24.0	157	7.8	0.0	207	10.3	0.0	257	12.8	0.0	307	15.3	0.0
8	0.4	24.0	58	2.9	24.0	108	5.4	24.0	158	7.9	24.0	208	10.4	0.0	258	12.9	0.0	308	15.4	0.0
9	0.5	0.0	59	3.0	24.0	109	5.4	24.0	159	7.9	0.0	209	10.4	0.0	259	12.9	0.0	309	15.4	0.0
10	0.5	0.0	60	3.0	0.0	110	5.5	0.0	160	8.0	0.0	210	10.5	0.0	260	13.0	0.0	310	15.5	0.0
11	0.6	0.0	61	3.1	24.0	111	5.5	24.0	161	8.0	0.0	211	10.5	0.0	261	13.0	0.0	311	15.5	0.0
12	0.6	24.0	62	3.1	24.0	112	5.6	24.0	162	8.1	0.0	212	10.6	0.0	262	13.1	0.0	312	15.6	0.0
13	0.7	24.0	63	3.2	24.0	113	5.6	24.0	163	8.1	0.0	213	10.6	0.0	263	13.1	0.0	313	15.6	0.0
14	0.7	0.0	64	3.2	24.0	114	5.7	24.0	164	8.2	0.0	214	10.7	0.0	264	13.2	0.0	314	15.7	0.0
15	0.8	0.0	65	3.3	0.0	115	5.7	0.0	165	8.2	0.0	215	10.7	0.0	265	13.2	0.0	315	15.7	0.0
16	0.8	0.0	66	3.3	24.0	116	5.8	24.0	166	8.3	0.0	216	10.8	0.0	266	13.3	0.0	316	15.8	0.0
17	0.9	24.0	67	3.4	24.0	117	5.8	24.0	167	8.3	0.0	217	10.8	0.0	267	13.3	0.0	317	15.8	0.0
18	0.9	24.0	68	3.4	24.0	118	5.9	24.0	168	8.4	0.0	218	10.9	0.0	268	13.4	0.0	318	15.9	0.0
19	1.0	0.0	69	3.5	24.0	119	5.9	24.0	169	8.4	0.0	219	10.9	0.0	269	13.4	0.0	319	15.9	0.0
20	1.0	0.0	70	3.5	0.0	120	6.0	0.0	170	8.5	0.0	220	11.0	0.0	270	13.5	0.0	320	16.0	0.0
21	1.1	0.0	71	3.6	24.0	121	6.0	24.0	171	8.5	0.0	221	11.0	0.0	271	13.5	0.0	321	16.0	0.0
22	1.1	24.0	72	3.6	24.0	122	6.1	24.0	172	8.6	0.0	222	11.1	0.0	272	13.6	0.0	322	16.1	0.0
23	1.2	24.0	73	3.7	24.0	123	6.1	24.0	173	8.6	0.0	223	11.1	0.0	273	13.6	0.0	323	16.1	0.0
24	1.2	0.0	74	3.7	24.0	124	6.2	24.0	174	8.7	0.0	224	11.2	0.0	274	13.7	0.0	324	16.2	0.0
25	1.2	0.0	75	3.8	0.0	125	6.2	0.0	175	8.7	0.0	225	11.2	0.0	275	13.7	0.0	325	16.2	0.0
26	1.3	0.0	76	3.8	24.0	126	6.3	24.0	176	8.8	0.0	226	11.3	0.0	276	13.8	0.0	326	16.3	0.0
27	1.3	24.0	77	3.9	24.0	127	6.3	24.0	177	8.8	0.0	227	11.3	0.0	277	13.8	0.0	327	16.3	0.0
28	1.4	24.0	78	3.9	24.0	128	6.4	24.0	178	8.9	0.0	228	11.4	0.0	278	13.9	0.0	328	16.4	0.0
29	1.4	0.0	79	4.0	24.0	129	6.4	24.0	179	8.9	0.0	229	11.4	0.0	279	13.9	0.0	329	16.4	0.0
30	1.5	0.0	80	4.0	0.0	130	6.5	0.0	180	9.0	0.0	230	11.5	0.0	280	14.0	0.0	330	16.5	0.0
31	1.5	0.0	81	4.1	24.0	131	6.5	24.0	181	9.0	0.0	231	11.5	0.0	281	14.0	0.0	331	16.5	0.0
32	1.6	24.0	82	4.1	24.0	132	6.6	24.0	182	9.1	0.0	232	11.6	0.0	282	14.1	0.0	332	16.6	0.0
33	1.6	24.0	83	4.2	24.0	133	6.6	24.0	183	9.1	0.0	233	11.6	0.0	283	14.1	0.0	333	16.6	0.0
34	1.7	0.0	84	4.2	24.0	134	6.7	0.0	184	9.2	0.0	234	11.7	0.0	284	14.2	0.0	334	16.7	0.0
35	1.7	0.0	85	4.3	0.0	135	6.7	0.0	185	9.2	0.0	235	11.7	0.0	285	14.2	0.0			
36	1.8	24.0	86	4.3	24.0	136	6.8	0.0	186	9.3	0.0	236	11.8	0.0	286	14.3	0.0			
37	1.8	24.0	87	4.4	24.0	137	6.8	24.0	187	9.3	0.0	237	11.8	0.0	287	14.3	0.0			
38	1.9	24.0	88	4.4	24.0	138	6.9	24.0	188	9.4	0.0	238	11.9	0.0	288	14.4	0.0			
39	1.9	24.0	89	4.5	24.0	139	6.9	0.0	189	9.4	0.0	239	11.9	0.0	289	14.4	0.0			
40	2.0	0.0	90	4.5	0.0	140	7.0	0.0	190	9.5	0.0	240	12.0	0.0	290	14.5	0.0			
41	2.0	24.0	91	4.6	24.0	141	7.0	0.0	191	9.5	0.0	241	12.0	0.0	291	14.5	0.0			
42	2.1	24.0	92	4.6	24.0	142	7.1	24.0	192	9.6	0.0	242	12.1	0.0	292	14.6	0.0			
43	2.1	24.0	93	4.6	24.0	143	7.1	24.0	193	9.6	0.0	243	12.1	0.0	293	14.6	0.0			
44	2.2	24.0	94	4.7	24.0	144	7.2	0.0	194	9.7	0.0	244	12.2	0.0	294	14.7	0.0			
45	2.2	0.0	95	4.7	0.0	145	7.2	0.0	195	9.7	0.0	245	12.2	0.0	295	14.7	0.0			
46	2.3	24.0	96	4.8	24.0	146	7.3	0.0	196	9.8	0.0	246	12.3	0.0	296	14.8	0.0			
47	2.3	24.0	97	4.8	24.0	147	7.3	24.0	197	9.8	0.0	247	12.3	0.0	297	14.8	0.0			
48	2.4	24.0	98	4.9	24.0	148	7.4	24.0	198	9.9	0.0	248	12.4	0.0	298	14.9	0.0			
49	2.4	24.0	99	4.9	24.0	149	7.4	0.0	199	9.9	0.0	249	12.4	0.0	299	14.9	0.0			
50	2.5	0.0	100	5.0	0.0	150	7.5	0.0	200	10.0	0.0	250	12.5	0.0	300	15.0	0.0			

Fuente: Elaboración propia

Por lo tanto, al aplicar un filtro digital paso bajo de primer con ganancia unitaria y frecuencia de corte de 60 Hz. Obtenemos la señal sinusoidal como se puede ver en la Figura 4.23 en correspondencia de la tabla 4.3.

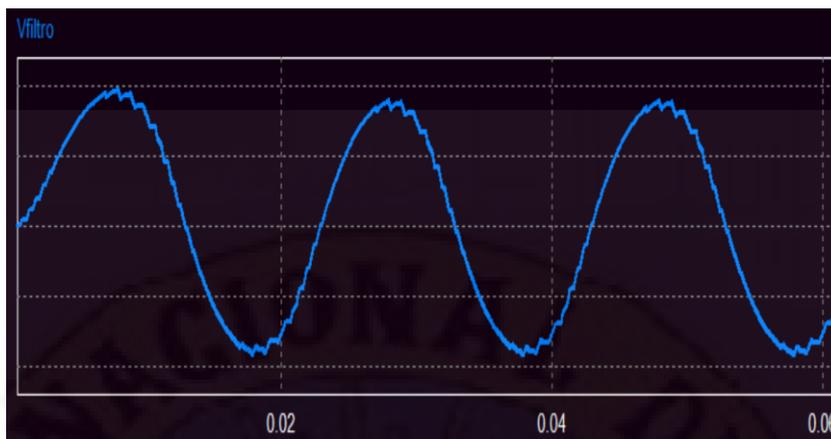


Figura N° 4. 23 Señal alternada por modulación SPWM sinusoidal.

Fuente: Elaboración propia

Tabla N° 4. 3 Muestras de conmutación del modulador SPWM con filtro de primer orden

Muestra "n"	Tiempo "ms"	Voltaje "V"																		
1	0.00	0.0	51	2.50	13.1	101	5.00	15.7	151	7.50	5.9	201	10.00	-9.8	251	12.50	-16.0	301	15.00	-10.7
2	0.05	0.3	52	2.55	13.3	102	5.05	15.7	152	7.55	5.4	202	10.05	-10.0	252	12.55	-16.1	302	15.05	-10.5
3	0.10	0.6	53	2.60	13.4	103	5.10	15.8	153	7.60	4.9	203	10.10	-10.3	253	12.60	-16.2	303	15.10	-9.9
4	0.15	1.0	54	2.65	13.6	104	5.15	15.6	154	7.65	4.4	204	10.15	-10.5	254	12.65	-16.3	304	15.15	-9.5
5	0.20	1.3	55	2.70	13.7	105	5.20	15.3	155	7.70	4.3	205	10.20	-10.7	255	12.70	-16.0	305	15.20	-9.4
6	0.25	1.5	56	2.75	13.8	106	5.25	15.1	156	7.75	4.1	206	10.25	-10.9	256	12.75	-15.7	306	15.25	-9.2
7	0.30	1.9	57	2.80	13.9	107	5.30	14.8	157	7.80	3.7	207	10.30	-11.1	257	12.80	-15.7	307	15.30	-8.8
8	0.35	2.3	58	2.85	14.1	108	5.35	14.9	158	7.85	3.2	208	10.35	-11.3	258	12.85	-15.9	308	15.35	-8.3
9	0.40	2.6	59	2.90	14.3	109	5.40	14.9	159	7.90	2.8	209	10.40	-11.5	259	12.90	-15.9	309	15.40	-7.9
10	0.45	2.9	60	2.95	14.4	110	5.45	14.9	160	7.95	2.6	210	10.45	-11.7	260	12.95	-15.9	310	15.45	-7.9
11	0.50	3.2	61	3.00	14.5	111	5.50	14.9	161	8.00	2.4	211	10.50	-11.9	261	13.00	-15.9	311	15.50	-7.9
12	0.55	3.5	62	3.05	14.6	112	5.55	14.9	162	8.05	2.0	212	10.55	-12.1	262	13.05	-16.0	312	15.55	-7.5
13	0.60	3.9	63	3.10	14.8	113	5.60	14.8	163	8.10	1.6	213	10.60	-12.3	263	13.10	-16.1	313	15.60	-7.0
14	0.65	4.2	64	3.15	14.9	114	5.65	14.5	164	8.15	1.1	214	10.65	-12.5	264	13.15	-16.0	314	15.65	-6.5
15	0.70	4.5	65	3.20	14.9	115	5.70	14.3	165	8.20	0.9	215	10.70	-12.7	265	13.20	-15.7	315	15.70	-6.4
16	0.75	4.8	66	3.25	14.9	116	5.75	14.0	166	8.25	0.7	216	10.75	-12.8	266	13.25	-15.5	316	15.75	-6.3
17	0.80	5.1	67	3.30	15.0	117	5.80	13.8	167	8.30	0.3	217	10.80	-13.0	267	13.30	-15.3	317	15.80	-5.8
18	0.85	5.4	68	3.35	15.2	118	5.85	13.7	168	8.35	-0.1	218	10.85	-13.2	268	13.35	-15.4	318	15.85	-5.3
19	0.90	5.7	69	3.40	15.3	119	5.90	13.7	169	8.40	-0.5	219	10.90	-13.3	269	13.40	-15.5	319	15.90	-4.8
20	0.95	6.0	70	3.45	15.4	120	5.95	13.7	170	8.45	-0.8	220	10.95	-13.5	270	13.45	-15.5	320	15.95	-4.7
21	1.00	6.3	71	3.50	15.4	121	6.00	13.7	171	8.50	-1.0	221	11.00	-13.6	271	13.50	-15.5	321	16.00	-4.6
22	1.05	6.5	72	3.55	15.6	122	6.05	13.7	172	8.55	-1.4	222	11.05	-13.8	272	13.55	-15.5	322	16.05	-4.2
23	1.10	6.8	73	3.60	15.7	123	6.10	13.2	173	8.60	-1.8	223	11.10	-14.0	273	13.60	-15.6	323	16.10	-3.7
24	1.15	7.1	74	3.65	15.8	124	6.15	13.0	174	8.65	-2.1	224	11.15	-14.1	274	13.65	-15.3	324	16.15	-3.2
25	1.20	7.4	75	3.70	15.7	125	6.20	12.8	175	8.70	-2.4	225	11.20	-14.2	275	13.70	-15.1	325	16.20	-3.1
26	1.25	7.7	76	3.75	15.5	126	6.25	12.6	176	8.75	-2.7	226	11.25	-14.2	276	13.75	-14.8	326	16.25	-2.9
27	1.30	7.9	77	3.80	15.6	127	6.30	12.3	177	8.80	-3.0	227	11.30	-14.4	277	13.80	-14.6	327	16.30	-2.4
28	1.35	8.2	78	3.85	15.8	128	6.35	11.7	178	8.85	-3.4	228	11.35	-14.5	278	13.85	-14.5	328	16.35	-2.0
29	1.40	8.5	79	3.90	15.9	129	6.40	11.7	179	8.90	-3.7	229	11.40	-14.7	279	13.90	-14.5	329	16.40	-1.6
30	1.45	8.7	80	3.95	15.9	130	6.45	11.7	180	8.95	-4.0	230	11.45	-14.8	280	13.95	-14.5	330	16.45	-1.4
31	1.50	9.0	81	4.00	15.9	131	6.50	11.7	181	9.00	-4.3	231	11.50	-14.9	281	14.00	-14.5	331	16.50	-1.2
32	1.55	9.2	82	4.05	16.0	132	6.55	11.5	182	9.05	-4.6	232	11.55	-15.0	282	14.05	-14.5	332	16.55	-0.8
33	1.60	9.5	83	4.10	16.2	133	6.60	10.9	183	9.10	-4.9	233	11.60	-15.2	283	14.10	-14.4	333	16.60	-0.4
34	1.65	9.7	84	4.15	16.3	134	6.65	10.6	184	9.15	-5.2	234	11.65	-15.3	284	14.15	-14.2	334	16.70	0.0
35	1.70	9.9	85	4.20	16.0	135	6.70	10.4	185	9.20	-5.5	235	11.70	-15.2	285	14.20	-13.9			
36	1.75	10.2	86	4.25	15.7	136	6.75	10.3	186	9.25	-5.8	236	11.75	-15.1	286	14.25	-13.7			
37	1.80	10.4	87	4.30	15.8	137	6.80	9.9	187	9.30	-6.1	237	11.80	-15.3	287	14.30	-13.5			
38	1.85	10.6	88	4.35	15.9	138	6.85	9.3	188	9.35	-6.4	238	11.85	-15.4	288	14.35	-12.9			
39	1.90	10.8	89	4.40	16.0	139	6.90	9.0	189	9.40	-6.7	239	11.90	-15.6	289	14.40	-12.9			
40	1.95	11.0	90	4.45	16.0	140	6.95	9.0	190	9.45	-6.9	240	11.95	-15.6	290	14.45	-12.9			
41	2.00	11.2	91	4.50	16.0	141	7.00	9.0	191	9.50	-7.2	241	12.00	-15.6	291	14.50	-12.9			
42	2.05	11.5	92	4.55	16.1	142	7.05	8.6	192	9.55	-7.5	242	12.05	-15.8	292	14.55	-12.9			
43	2.10	11.7	93	4.60	16.2	143	7.10	8.1	193	9.60	-7.8	243	12.10	-15.9	293	14.60	-12.3			
44	2.15	11.9	94	4.65	16.1	144	7.15	7.7	194	9.65	-8.0	244	12.15	-16.0	294	14.65	-12.1			
45	2.20	12.0	95	4.70	15.9	145	7.20	7.5	195	9.70	-8.3	245	12.20	-15.8	295	14.70	-11.9			
46	2.25	12.2	96	4.75	15.6	146	7.25	7.4	196	9.75	-8.6	246	12.25	-15.6	296	14.75	-11.7			
47	2.30	12.4	97	4.80	15.5	147	7.30	6.9	197	9.80	-8.8	247	12.30	-15.7	297	14.80	-11.4			
48	2.35	12.6	98	4.85	15.6	148	7.35	6.4	198	9.85	-9.1	248	12.35	-15.9	298	14.85	-10.9			
49	2.40	12.8	99	4.90	15.7	149	7.40	5.9	199	9.90	-9.3	249	12.40	-16.0	299	14.90	-10.7			
50	2.45	12.9	100	4.95	15.7	150	7.45	5.9	200	9.95	-9.5	250	12.45	-16.0	300	14.95	-10.7			

Fuente: Elaboración propia

En la Figura 4.24, se puede ver la señal sinusoidal en tiempo discreto al ser filtrada por el filtro digital de primer orden; donde el número de muestras es  $n=334$ .

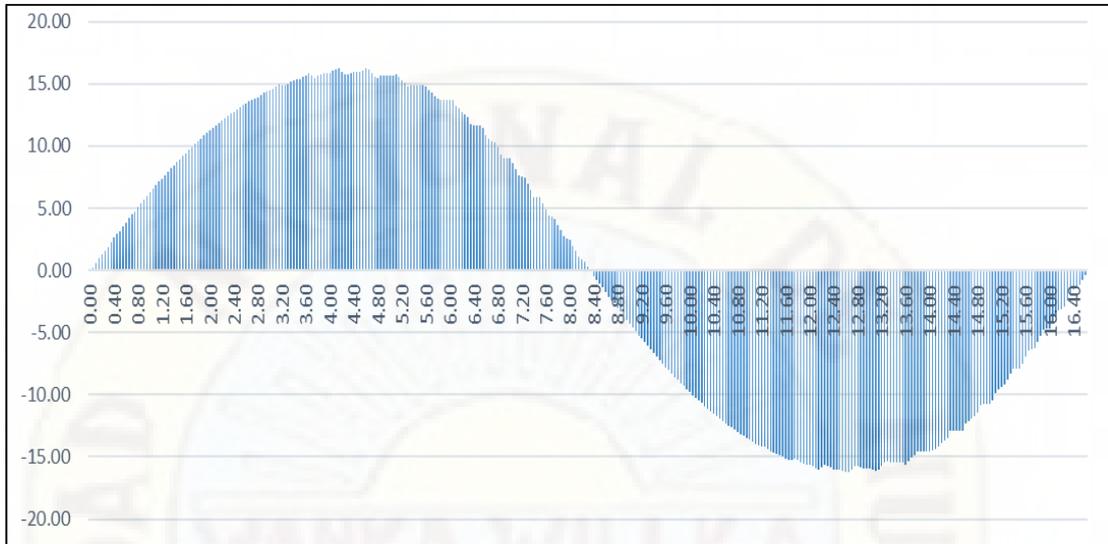


Figura N° 4. 24 Sinusoide en tiempo discreto generado por modulación SPWM con FPGA

Fuente: Elaboración propia.

De otra parte, en la Figura 4.25, apreciamos en el osciloscopio, la obtención de la señal sinusoidal real generado por la modulación SPWM con FPGA y filtrada analógicamente con un filtro paso bajo con una frecuencia de corte de 60Hz.

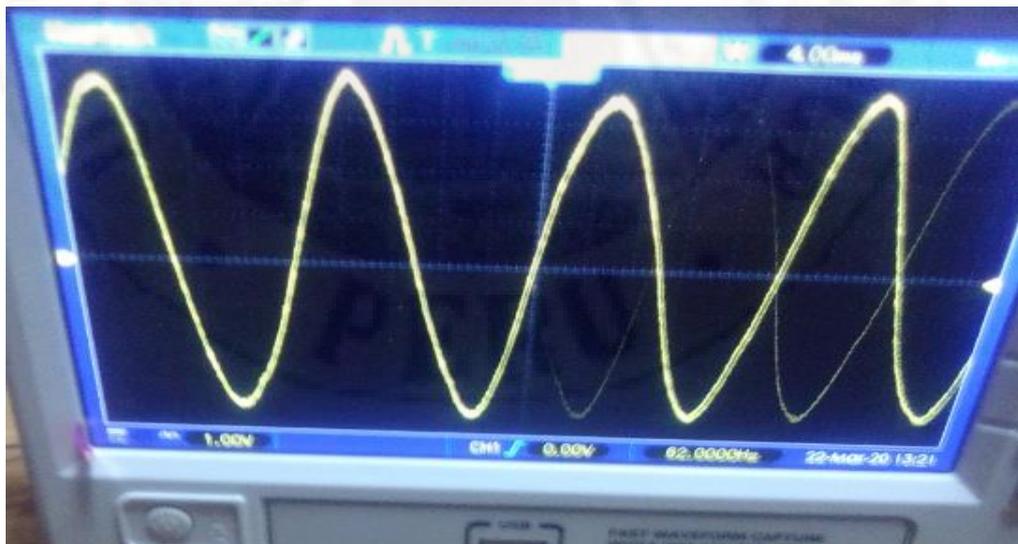


Figura N° 4. 25 Sinusoide real generado por modulación SPWM con FPGA

Fuente: Elaboración propia.

Luego de obtener la señal sinusoidal a la salida del convertidor DC-AC visto en la Figura 4.22 y 4.23, podemos concluir que el modulador por anchura de pulso sinusoidal SPWM ha permitido obtener una señal de onda alternada tipo senoide. Finalmente, al realizar el análisis espectral de la onda sinusoidal de 60 Hz de la Figura 4.24 y 4.25, obtenemos el espectro de frecuencias que se representa en la Figura 4.26, donde se observa que esta onda tiene una componente principal en los 60 Hz y no existe otras componentes armónicas de acuerdo al detalle de datos de la tabla 4.4.

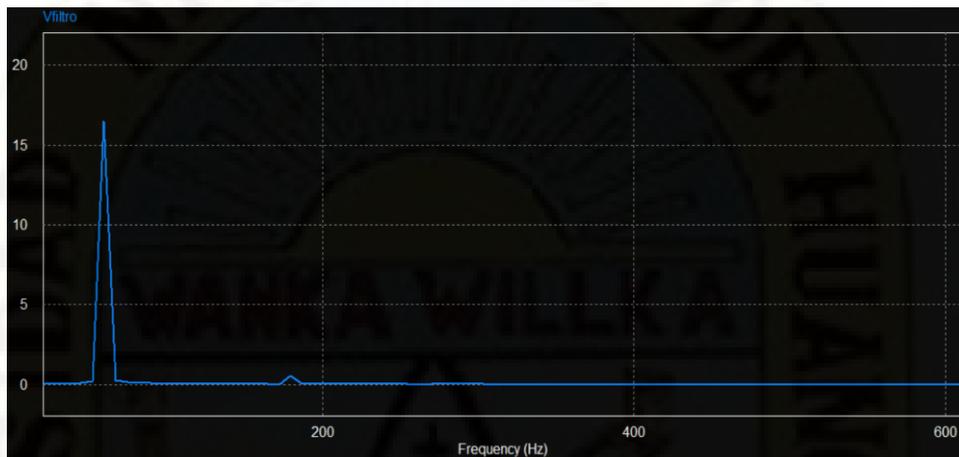


Figura N° 4. 26 Análisis espectral de la senoide generada por modulación SPWM

Fuente: Elaboración propia

Tabla N° 4. 4 Amplitudes del espectro de frecuencia de una onda senoide a 60 Hz

N°	f	V	N°	f	V												
1	0	0.05	18	127	0.04	35	255	0.02	52	382	0.02	69	509	0.01	86	637	0.01
2	7	0.02	19	135	0.04	36	262	0.01	53	389	0.01	70	517	0.01	87	644	0.01
3	15	0.05	20	142	0.03	37	270	0.02	54	397	0.01	71	524	0.01	88	652	0.01
4	22	0.05	21	150	0.03	38	277	0.02	55	404	0.01	72	532	0.01	89	659	0.01
5	30	0.03	22	157	0.02	39	285	0.02	56	412	0.01	73	539	0.00	90	666	0.01
6	37	0.07	23	165	0.02	40	292	0.02	57	419	0.03	74	547	0.01	91	674	0.01
7	45	0.10	24	172	0.01	41	300	0.09	58	427	0.01	75	554	0.01	92	681	0.01
8	52	0.23	25	180	0.53	42	307	0.01	59	434	0.01	76	562	0.01	93	689	0.01
9	60	16.5	26	187	0.05	43	315	0.01	60	442	0.01	77	569	0.01	94	696	0.01
10	67	0.27	27	195	0.03	44	322	0.01	61	449	0.01	78	577	0.01	95	704	0.01
11	75	0.14	28	202	0.03	45	329	0.01	62	457	0.01	79	584	0.01	96	711	0.01
12	82	0.10	29	210	0.03	46	337	0.02	63	464	0.01	80	592	0.01	97	719	0.01
13	90	0.07	30	217	0.02	47	344	0.01	64	472	0.01	81	599	0.01	98	726	0.01
14	97	0.04	31	225	0.03	48	352	0.01	65	479	0.01	82	607	0.01	99	734	0.01
15	105	0.07	32	232	0.02	49	359	0.01	66	487	0.01	83	614	0.01	100	741	0.01
16	112	0.05	33	240	0.02	50	367	0.01	67	494	0.01	84	622	0.00	101	749	0.01
17	120	0.06	34	247	0.02	51	374	0.01	68	502	0.01	85	629	0.01	102	756	0.01

Fuente: Elaboración propia

Donde,  $N^\circ$  es el orden de muestra,  $f$  es la frecuencia y  $V$  es la amplitud de la ganancia.

A continuación, calculamos la tasa de distorsión armónica total THD de la señal obtenida por el modulador por anchura de pulso sinusoidal SPWM generada por la FPGA aplicada a un convertidor electrónico DC-AC.

Para calcular la THD de la señal generada por el SPWM, realizamos el análisis de las componentes armónicas 2 al 11 de la señal fundamental cuya ecuación es:

$$THD_v = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots}}{V_1} * 100\%$$

$THD_v$

$$= \frac{\sqrt{0.06^2 + 0.53^2 + 0.02^2 + 0.09^2 + 0.01^2 + 0.03^2 + 0.01^2 + 0.01^2 + 0.01^2 + 0.01^2}}{16.5}$$

$$THD_v = \frac{0.5426}{16.5} * 100\%$$

Entonces, la tasa de distorsión armónica total de la señal genera por el SPWM es:  $THD_v = 3.29\%$ ; valor muy cercano a 0% que corresponde a la THDv de una señal sinusoidal pura.

Asimismo, al realizar el análisis de la tasa de distorsión armónica de la señal cuadrada generada por un convertidor DC-AC sin modulador SPWM, obtenemos la tabla 4.5 donde presentamos los datos del espectro frecuencial de los armónicos de la señal cuadrada cuyos datos representan a la Figura 4.26.

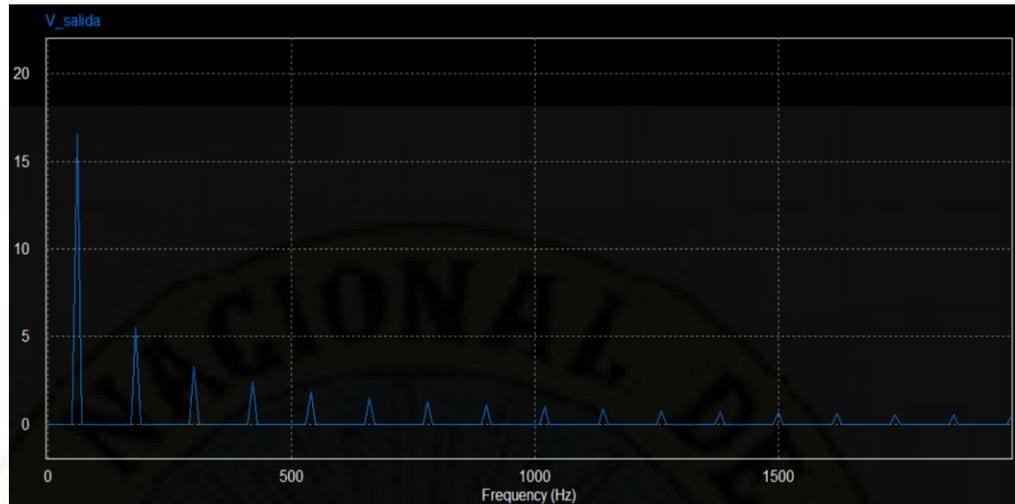


Figura N° 4. 27 Análisis espectral de la señal cuadra del convertidor DC-AC.

Fuente: Elaboración propia

Tabla N° 4. 5 Amplitudes del espectro de frecuencia de una señal cuadrada a 60 Hz

N°	f	V	N°	f	V												
1	10	0	18	180	5.52	35	350	0	52	520	0	69	690	0	86	860	0.01
2	20	0.01	19	190	0	36	360	0	53	530	0	70	700	0.01	87	870	0
3	30	0	20	200	0	37	370	0	54	540	1.84	71	710	0	88	880	0
4	40	0	21	210	0	38	380	0.01	55	550	0	72	720	0	89	890	0
5	50	0	22	220	0.01	39	390	0	56	560	0	73	730	0	90	900	1.1
6	60	16.6	23	230	0	40	400	0	57	570	0	74	740	0.01	91	910	0
7	70	0	24	240	0	41	410	0	58	580	0.01	75	750	0	92	920	0
8	80	0	25	250	0	42	420	2.36	59	590	0	76	760	0	93	930	0
9	90	0	26	260	0.01	43	430	0	60	600	0	77	770	0	94	940	0.01
10	100	0.01	27	270	0	44	440	0	61	610	0	78	780	1.27	95	950	0
11	110	0	28	280	0	45	450	0	62	620	0.01	79	790	0	96	960	0
12	120	0	29	290	0	46	460	0.01	63	630	0	80	800	0	97	970	0
13	130	0	30	300	3.31	47	470	0	64	640	0	81	810	0	98	980	0.01
14	140	0.01	31	310	0	48	480	0	65	650	0	82	820	0.01	99	990	0
15	150	0	32	320	0	49	490	0	66	660	1.5	83	830	0	100	1000	0
16	160	0	33	330	0	50	500	0.01	67	670	0	84	840	0	101	1010	0
17	170	0	34	340	0.01	51	510	0	68	680	0	85	850	0	102	1020	0.97

Fuente: Elaboración propia

Donde, N° es el orden de muestra, f es la frecuencia y V es la amplitud de la ganancia.

A continuación, calculamos la tasa de distorsión armónica total THD de la onda cuadrada alternada obtenida de un convertidor electrónico DC-AC.

Para calcular la THD de la señal generada por el SPWM, realizamos el análisis de las componentes armónicas 3, 5, 7, 9, 11, 13, 15, 17, que son los múltiplos de la señal fundamental. La ecuación de análisis corresponde a:

$$THD_v = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots}}{V_1} * 100\%$$

$$THD_v = \frac{\sqrt{5.52^2 + 3.31^2 + 2.36^2 + 1.84^2 + 1.5^2 + 1.27^2 + 1.1^2 + 0.97^2}}{16.6}$$

$$THD_v = \frac{7.51}{16.6} * 100\%$$

Entonces, la tasa de distorsión armónica total de la señal cuadrada genera por el convertidor DC-AC es:  $THD_v = 45.23\%$ .

## 4.2 PRUEBA DE HIPÓTESIS

A continuación, desarrollamos el procedimiento de la prueba de hipótesis de la presente investigación, siendo las siguientes proposiciones estadísticas a verificar:

Para la hipótesis general:

Hipótesis nula  $H_0$

$H_0$ = El diseño del modulador por anchura de pulso sinusoidal SPWM basado en una FPGA, no genera una onda sinusoidal de 60 Hz al modular a un convertidor DC-AC.

Hipótesis alternativa  $H_1$

$H_1$ = El diseño del modulador por anchura de pulso sinusoidal SPWM basado en una FPGA, genera una onda sinusoidal de 60 Hz al modular a un convertidor DC-AC.

### Para la hipótesis específica 1:

Hipótesis nula  $H_0$

$H_0$ =El porcentaje de las tensiones de las amplitudes de las componentes armónicas 3, 5, 7, 9, 11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM es inferior al 10%.

$H_0$ :  $x > 10\%$

Hipótesis alternativa  $H_1$

H1=El porcentaje de las tensiones de las amplitudes de las componentes armónicas 3, 5, 7, 9, 11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM es inferior al 10%.

H1:  $x < 10\%$

Para la evaluación de la t-student, se toma en consideración un nivel de significancia de  $\alpha=0.05$ . Donde el estadístico es:  $t = \frac{x-a}{s/\sqrt{n}}$

Donde:

x = Media muestral de los armónicos 3, 5, 7, 9, 11 (0.53, 0.09, 0.03, 0.01, 0.01)

a = Es el 10% de la amplitud de la componente fundamental (16.5)

s= Desviación estándar muestral de los armónicos 3, 5, 7, 9, 11

n= Tamaño de la muestra (5)

A partir de los datos indicados; el cálculo de los parámetros de significancia unilateral para 4 grados de libertad (n-1) y 5% de error; se obtiene el valor límite de -2.132 para establecer las regiones de aceptación y rechazo como visualiza en la Figura 4.28.

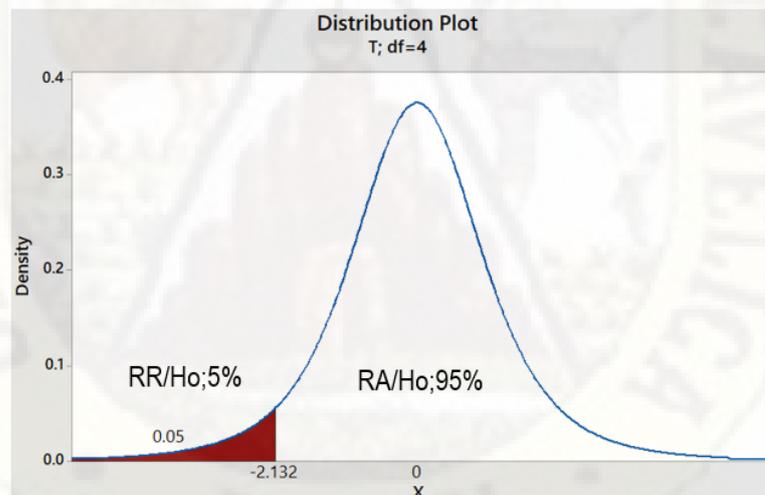


Figura N° 4. 28 Grafica de distribución t Student.

Fuente: Elaboración propia

Donde:

Región de Rechazo de Ho :  $RR/Ho = <-\infty; -2.132]$

Región de Aceptación de Ho :  $RA/Ho = [-2.132; +\infty>$

Cálculo del estadístico

Procesando en el Minitab la prueba t de student, obtenemos una  $t = -15,15$ .

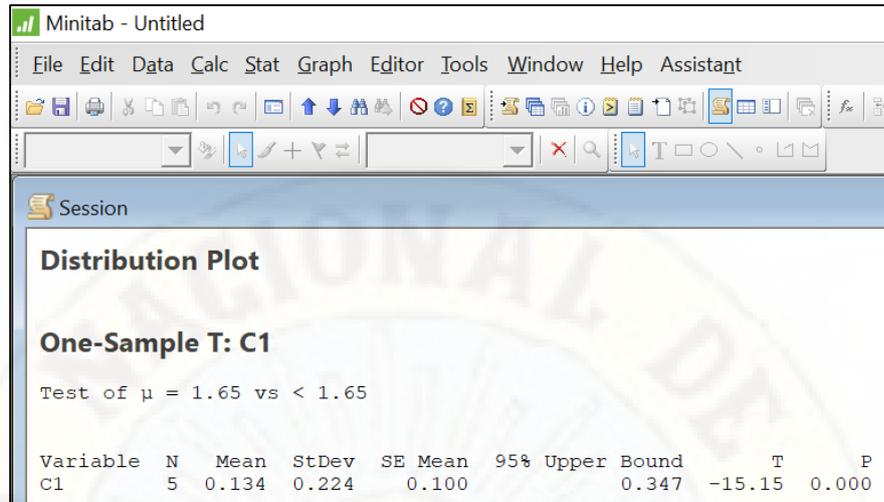


Figura N° 4. 29 Cálculo del estadístico t-Student con Minitab.

Fuente: Elaboración propia

Toma de decisión

En función del valor calculado del estadístico de la “t student” (-15,15) y el valor crítico (-2,132) de la Figura 4.28, permiten rechazar la hipótesis nula ( $H_0$ ).

Por lo tanto, señalamos que se ha encontrado evidencia empírica para rechazar la Hipótesis Nula y aceptar la hipótesis alterna como verdadera.

$H_1$ =El porcentaje de las tensiones de las amplitudes de las componentes armónicas 3, 5, 7, 9, 11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM es inferior al 10%.

### **Para la hipótesis específica 2:**

Hipótesis nula  $H_0$

$H_0$ = La tasa de distorsión armónica THD del convertidor DC-AC monofásico modulado por anchura de pulso sinusoidal SPWM basada en una FPGA no es menor del 5%.

$H_0$ :  $x > 5\%$

Hipótesis alternativa  $H_1$

H1= La tasa de distorsión armónica THD del convertidor DC-AC monofásico modulado por anchura de pulso sinusoidal SPWM basada en una FPGA es menor del 5%.

H1:  $x < 5\%$

Para la evaluación de la t-student, se tomará en consideración un nivel de significancia de  $\alpha=0.05$ . Donde el estadístico es:  $t = \frac{x-a}{s/\sqrt{n}}$

Donde:

x = Media muestral de los armónicos 2 al 11.

a = Es el 5% de la amplitud de la componente fundamental (16.5)

s= Desviación estándar muestral de los armónicos 2 al 11.

n= Tamaño de la muestra (10)

A partir de los datos indicados; el cálculo de los parámetros de significancia unilateral para 9 grados de libertad (n-1) y 5% de error; se obtiene el valor límite de -1.833 para establecer las regiones de aceptación y rechazo como se visualiza en la Figura 4.30.

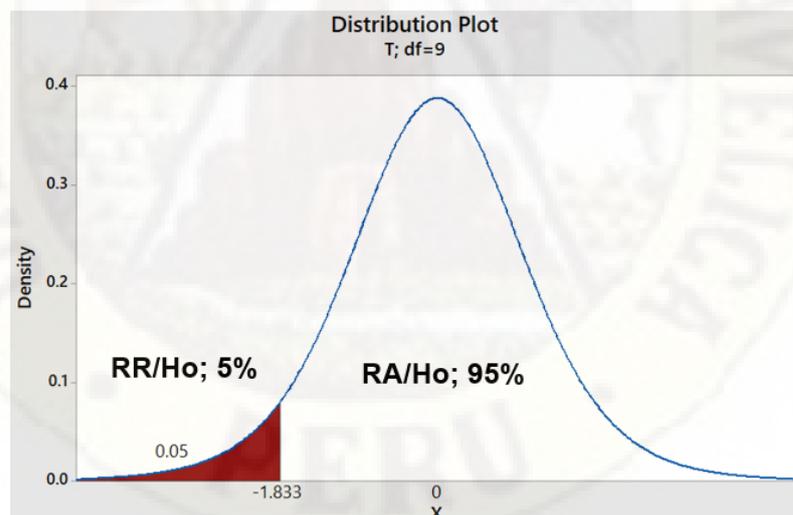


Figura N° 4. 30 Grafica de distribución t Student.

Fuente: Elaboración propia

Donde:

Región de Rechazo de Ho : RR/Ho =  $<-\infty; -1.833]$

Región de Aceptación de Ho : RA/Ho =  $[-1.833; +\infty>$

## Cálculo del estadístico

Procesando en el Minitab la prueba t de student, obtenemos una  $t = -14,66$ .

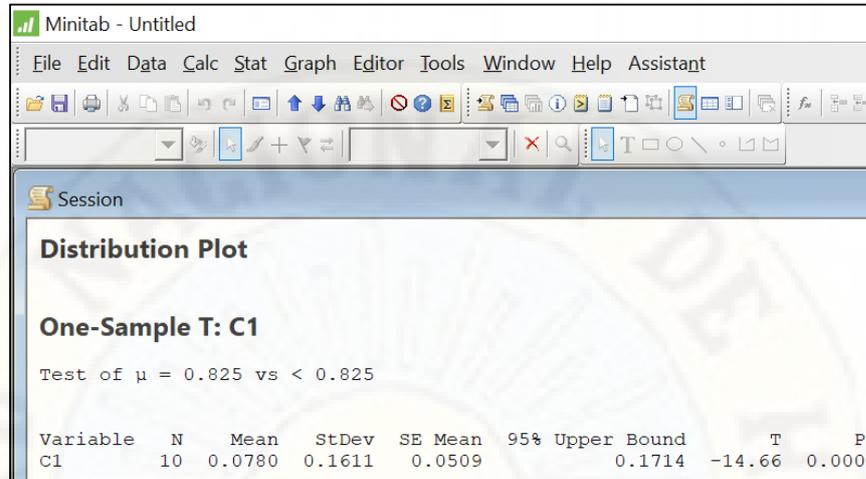


Figura N° 4. 31 Cálculo del estadístico t-Student con Minitab.

Fuente: Elaboración propia

## Toma de decisión

En función del valor calculado del estadístico de la “t student” (-14.66) y el valor crítico (-1.833) de la Figura 4.31, permiten rechazar la hipótesis nula ( $H_0$ ).

Por lo tanto, señalamos que se ha encontrado evidencia empírica para rechazar la Hipótesis Nula y aceptar la hipótesis alterna como verdadera.

$H_1$ = La tasa de distorsión armónica THD del convertidor DC-AC monofásico modulado por anchura de pulso sinusoidal SPWM basada en una FPGA es menor del 5%.

### Para la hipótesis específica 3:

Hipótesis nula  $H_0$

$H_0$ = La diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y con modulador SPWM no es mayor del 25%.

$H_0$ :  $x < 25\%$

Hipótesis alternativa  $H_1$

H1= La diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y con modulador SPWM es mayor del 25%.

H1:  $x > 25\%$

Para la evaluación de la t-student, se tomará en consideración un nivel de significancia de  $\alpha=0.05$ . Donde el estadístico es:  $t = \frac{x-a}{s/\sqrt{n}}$

Donde:

x = Media muestral de la diferencia de los armónicos 3,5,7,9,11,13,15,17. Señal cuadrada y señal generada por el SPWM.

a = Es el 25% de la amplitud de la media de la diferencia de los armónicos 3,5,7,9,11,13,15,17. Señal cuadrada y señal generada por el SPWM.

s= Desviación estándar muestral de la media de la diferencia de los armónicos 3,5,7,9,11,13,15,17. Señal cuadrada y señal generada por el SPWM.

n= Tamaño de la muestra (8)

A partir de los datos indicados; el cálculo de los parámetros de significancia unilateral para 7 grados de libertad (n-1) y 5% de error; se obtiene el valor límite de 1.860 para establecer las regiones de aceptación y rechazo como se visualiza en la Figura 4.32.

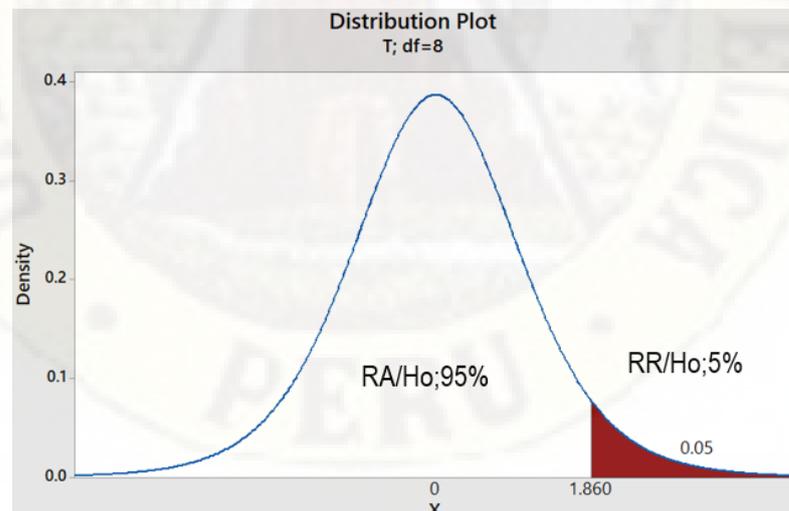


Figura N° 4. 32 Grafica de distribución t Student.

Fuente: Elaboración propia

Donde:

Región de Aceptación de Ho :  $RR/Ho = <-\infty; 1.860]$

Región de Rechazo de  $H_0$  :  $RA/H_0 = [1.860; +\infty>$

Cálculo del estadístico

Procesando en el Minitab la prueba t de student, obtenemos una  $t = 4.19$ .

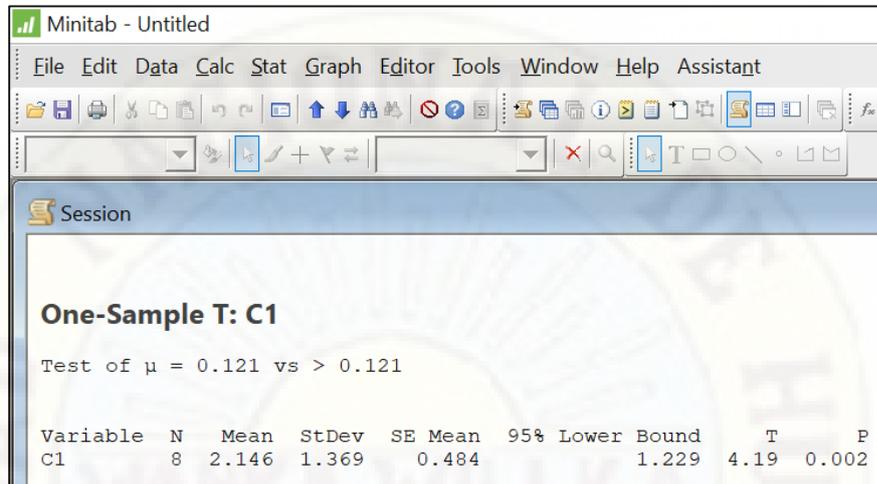


Figura N° 4. 33 Calculo del estadístico t-Student con Minitab.

Fuente: Elaboración propia

Toma de decisión

En función del valor calculado del estadístico de la “t student” (4.19) y el valor crítico (1.860) de la Figura 4.33, permiten rechazar la hipótesis nula ( $H_0$ ).

Por lo tanto, señalamos que se ha encontrado evidencia empírica para rechazar la Hipótesis Nula y aceptar la hipótesis alterna como verdadera.

$H_1$ = La diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y con modulador SPWM es mayor del 25%.

Por lo tanto, en función de la demostración de las hipótesis estadísticas de investigación se evidencia que en ningún caso las hipótesis nulas sean válidas; en tal sentido, aseveramos que el diseño del modulador por anchura de pulso sinusoidal SPWM basado en una FPGA, genera una onda sinusoidal de 60 Hz al modular a un convertidor DC-AC, hipótesis general de la investigación que se verifica como válida y el mismo que se ha demostrado a lo largo del presente capítulo.

### 4.3 DISCUSIÓN DE RESULTADOS

Luego de realizar la presentación de resultados de la investigación y su respectiva validación de las hipótesis; a continuación, realizamos la discusión de los resultados.

- a) En primer lugar, señalamos que el modulador por anchura de pulso sinusoidal SPWM basado en una FPGA, permite generar una señal senoide de frecuencia fija de 60 Hz como se visualiza en la Figura 4.24, el mismo que tiene correspondencia con el trabajo de diseño y simulación de un inversor de tensión DC-AC presentado por F. Palta en la revista de Electrónica y telecomunicaciones de la Universidad autónoma del occidente-Cali Colombia.
- b) Por otro lado, el trabajo de investigación desarrollado tiene una configuración del convertidor DC-AC en topología bipolar con puente H (Figura 4.21), característica del modulador SPWM que se corresponde con la tesis de Rusell Córdova “Metodología para el control SPWM de un inversor monofásico de baja frecuencia”, en el cual se señala que esta configuración bipolar o la unipolar son topologías de los inversores para realizar modulaciones SPWM con las que se obtienen ondas sinusoidales a la salida de los convertidores DC-AC previo a adecuada estrategia de modulación.
- c) La estrategia de modulación SPWM del presente trabajo de investigación, se basa en la modulación de una señal sinusoidal con una señal triangular de frecuencia de 2 kHz con la cual se obtuvieron conmutaciones de ancho de pulso variable que fueron programados en VHDL en la FGPA a 15 bits para obtener una señal sinusoidal de 60 Hz a la salida del convertidor DC-AC con un THD de 3.29%. Esta técnica, se asemeja a la utilizada en el artículo científico “Sinusoidal Pulse Width Modulation (SPWM) Design and Implementation by Focusing on Reducing Harmonic Content” presentada por H.Hussin, A.Saparon, M. Muhamad donde la portadora es una señal triangular variable de entre 5 kHz y 20 kHz, y se puede verificar que la THD es elevada para una resolución de 5 bits y muy reducida para una resolución de 10 bits. Por lo tanto, la estrategia elegida de programar las conmutaciones de pulso variable a 15 bits en nuestra FPGA, ha permitido obtener una senoide casi perfecta (Figura 4.24) con una tasa de distorsión armónica muy pequeña lo cual lo hace eficiente.
- d) El diseño del programa para la FPGA se construyó en VHDL donde se tienen contadores de 15 bits con el cual se generan los pulsos variables del SPWM tanto para la comba positiva como negativa. Al realizar el análisis de la señal SPWM se evidenció que las amplitudes de las frecuencias bajas de las componentes armónicas de la señal son mínimas del orden del 3.21% de la señal fundamental generada por el SPWM. Este valor obtenido es concordante con el porcentaje de las componentes armónicas del artículo científico de (León Carrasco Martín Airam,

2012) donde se obtiene un total del 3%. En conclusión, existe una semejanza en el tamaño de las amplitudes de las componentes armónicas de nuestro trabajo de investigación con otras desarrolladas para aplicaciones como el control de motores de inducción.

- e) Finalmente, ésta investigación guarda relación con el artículo de investigación de (Aganza T. Alejandro, 2006) que desarrolla un modulador SPWM trifásico de 14 bits, donde las tensiones de salida tienen una THD del 2.2%, valor que indica que la forma de onda de la señal es una senoide casi perfecta. En nuestro caso se obtuvo una THD de 3.29% que se encuentran por debajo del 5% de THD permitido en sistemas eléctricos que pueden suministrar energía a equipos informáticos o similares según se establece en el estándar IEEE 519-2014 (IEEE, 2014). Por lo tanto, se ha diseñado un modulador SPWM con una FPGA con el cual se obtiene una onda sinusoidal AC a partir de una fuente de alimentación DC conectado a un convertidor electrónico DC-AC.



## CONCLUSIONES

Al concluir con la presente investigación, arribamos a las siguientes conclusiones:

1. La estrategia de modulación SPWM desarrollado en VHDL para la FPGA, se construye con una secuencia de pulsos variables de acuerdo a una tabla de estados que generan pulsos con estados de conducción y no conducción en un circuito electrónico puente H.
2. El modulador SPWM con FPGA está constituido por divisores de frecuencia, contadores de pulso, fliflop tipo D y compuertas lógicas según el RTL Viewer del VHDL de "Altera".
3. La tasa de distorsión armónica total (THD) de la señal generada por el modulador SPWM es de 3.29%; este valor representa a una mínima distorsión de la componente armónica fundamental de la sinusoide generada por el modulador SPWM y el convertidor DC-AC.
4. La THD de la señal generada por modulación SPWM con convertidor DC-AC; es menor en un 41.94% a la THD (45.23%) de la señal generada por el convertidor DC-AC sin modulador SPWM.
5. Se ha elegido como verdadera la siguiente hipótesis de investigación: "El diseño del modulador por anchura de pulso sinusoidal SPWM basado en una FPGA, genera una onda sinusoidal de 60 Hz al modular a un convertidor DC-AC", el mismo que se refrenda a través del análisis estadístico de tres hipótesis específicas según el ítem 4.2.
6. Se ha obtenido una señal sinusoidal de 60 Hz desde una fuente de corriente DC usando un modulador SPWM con FPGA donde a mayor resolución de la modulación se reduce la THD por debajo del 5% y las componentes armónicas son menores al 3%.

## RECOMENDACIONES

1. Antes del desarrollo de moduladores SPWM, es importante realizar el análisis y diseño de los mismos mediante simuladores o programas informáticos como el PSIM y Matlab a fin de construir la secuencia de pulsos de ancho variable y obtener menor distorsión armónica.
2. Realizar una contrastación del modulador SPWM basada en una FPGA con otro modulador SPWM basada en otra tecnología.
3. Sobre la base del modulador SPWM monofásico, desarrollar un modulador SPWM trifásico para poder suministrar energía a accionamientos electromecánicos (motores síncronos y asíncronos).
4. Es importante utilizar diodos de libre circulación en el circuito de puente H para salvaguardar el tiempo de vida de los conmutadores (transistores o IGBTs).

## REFERENCIAS BIBLIOGRÁFICAS

- Aganza T. Alejandro, P. R. (2006). Inversor trifásico SPWM para el control de velocidad de un motor de inducción implementado en el microcontrolador PIC18F2431. *Revista de ingeniería eléctrica, electrónica y computación RIEE*.
- Aponte, J. E. (2011). *Elaboración de proyectos de investigación*. Venezuela.
- Diego, A., Toledo, O., Juan, C., Jaramillo, V., Franklin, G., Santillan, S., & Gonzalez, M. (2014). Diseño de un inversor monofásico con topología H5. *Maskana I+D+ Ingeniería*.
- Eduard Ballester, R. P. (2011). *Electrónica de potencia*. Barcelona-España: Marcombo universitaria.
- Electric, S. (2015). Detección y filtrado de armónicos. *Soluciones Schneider Electric*.
- F.Gimeno, S.Segui, S. Orts. (2011). *Convertidores electrónicos; energía solar fotovoltaica, aplicaciones y diseño*. Valencia-España: Edición digital UPV.
- Hussin, H., Saparon, A., & Muhamad, M. (2010). Pulse width modulation (SPWM) design and implementarion by focusing on reducing harmonic content. *Fourth Asia International Conference on Mathematical/Analytical Modelling and Computer Simulation*, 620-623.
- IEEE. (2014). 519-2014 - IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems. En I. o. Engineers, *P519.1 - Guide for Applying Harmonic Limits on Power Systems*. EE.UU: IEEE.org.
- INEI, I. N. (2014). *Compendio Estadístico Perú 2014*. Lima-Perú: INEI.
- Instruments, N. (s.f.). *Modulada por Ancho de Pulso (PWM)* . Recuperado el 15 de 08 de 2018, de <http://digital.ni.com/public.nsf/allkb>
- León Carrazco Martín Airam, V. V. (2012). Modulación SPWM reconfigurable para control de velocidad de un motor monofásico alimentado por celdas fotovoltaicas sin baterías. *Laboratorio de Investigación en Aplicaciones de Electrónica de Potencia del Instituto Tecnológico de Sonora*.
- MINEM. (2014). *Plan energético Nacional 2014-2025*. Lima-Perú: Ministerio de energía y minas, Dirección general de eficiencia energética.
- Ned Mohan, T. U. (2009). *Electrónica de potencia, convertidores, aplicaciones y diseño*. México: Mc Graw Hill.
- Ogata, K. (1996). *Sistemas de control en tiempo discreto*. *Prentice Hall Hispanoamerica S.A.*

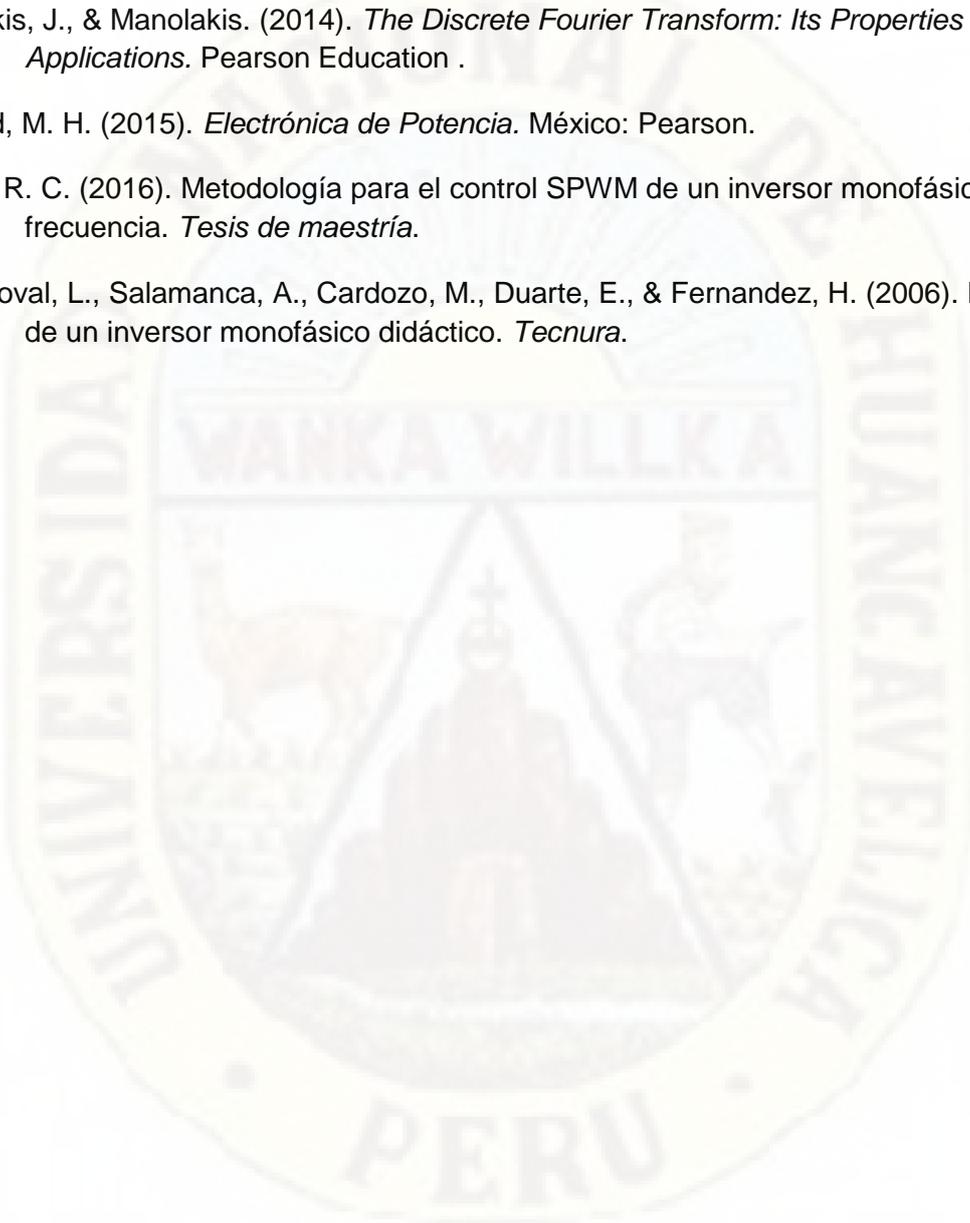
Palta, F. (2014). Diseño y simulación de un inversor de tensión DC-AC tipo push pull en lazo abierto. *Revista de ingeniería electrónica y telecomunicaciones*.

Proakis, J., & Manolakis. (2014). *The Discrete Fourier Transform: Its Properties and Applications*. Pearson Education .

Rahid, M. H. (2015). *Electrónica de Potencia*. México: Pearson.

Ruiz, R. C. (2016). Metodología para el control SPWM de un inversor monofásico de baja frecuencia. *Tesis de maestría*.

Sandoval, L., Salamanca, A., Cardozo, M., Duarte, E., & Fernandez, H. (2006). Desarrollo de un inversor monofásico didáctico. *Tecnura*.



## ANEXOS

### Programa en la FPGA con VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.std_logic_arith.all;
```

// Librerías

```
entity GENERADOR33A is
```

```
PORT( Relej,A,RESET_2,RESET : IN STD_LOGIC; // Entradas
      T1,T2,T3,T4 : OUT STD_LOGIC ); // Salidas
```

```
end GENERADOR33A;
```

```
architecture Behavioral of GENERADOR33A is
```

```
COMPONENT divisordefrecuencia IS // incluye al sub programa divisor de frecuencia
```

```
PORT (
      Relej, Reset_2 : IN STD_LOGIC;
      SalidaLed : OUT STD_LOGIC
);
END COMPONENT;
```

```
COMPONENT CIRCUITOR IS // incluye al sub programa compuerta OR comba positiva
```

```
PORT (
      X,X1,X2,X3,X4,X5,X6,X7,X8,X9,X10,X11,X12,X13,X14,X15,X16 : IN STD_LOGIC;
      T1,T2 : OUT STD_LOGIC
);
END COMPONENT;
```

```
COMPONENT CIRCUITORB IS // incluye al sub programa compuerta OR comba negativa
```

```
PORT (
      XB,X1B,X2B,X3B,X4B,X5B,X6B,X7B,X8B,X9B,X10B,X11B,X12B,X13B,X14B,X15B : IN
STD_LOGIC;
      T3,T4 : OUT STD_LOGIC
);
END COMPONENT;
```

// Incluye a los sub programas de las compuertas AND para la comba positiva y negativa.

```
COMPONENT COMPUERTA1 IS // compuerta AND número 1 para la comba positiva
```

```
PORT ( A,B : IN STD_LOGIC; C : OUT STD_LOGIC);
END COMPONENT;
```

```
COMPONENT COMPUERTA1B IS // compuerta AND número 1 para la comba negativa
  PORT ( AB,BB : IN STD_LOGIC; CB : OUT STD_LOGIC);
END COMPONENT;
```

```
COMPONENT COMPUETA2 IS // compuerta AND número 2 para la comba positiva
  PORT ( A1,B1 : IN STD_LOGIC; C1 : OUT STD_LOGIC);
END COMPONENT;
```

```
COMPONENT COMPUERTA2B IS // compuerta AND número 2 para la comba negativa
  PORT ( A1B,B1B : IN STD_LOGIC; C1B : OUT STD_LOGIC);
END COMPONENT;
```

.....Continua .....hasta.

```
COMPONENT COMPUERTA16 IS // compuerta AND número 16 para la comba positiva
  PORT ( A15,B15 : IN STD_LOGIC; C15 : OUT STD_LOGIC);
END COMPONENT;
```

```
COMPONENT COMPUERTA16B IS // compuerta AND número 16 para la comba negativa
  PORT ( A15B,B15B : IN STD_LOGIC; C15B : OUT STD_LOGIC);
END COMPONENT;
```

```
COMPONENT COMPUERTA17 IS // compuerta AND número 17 para la comba positiva
  PORT ( A16,B16 : IN STD_LOGIC; C16 : OUT STD_LOGIC);
END COMPONENT;
```

// Incluye a los sub programas de los FLIPFLOPS para la comba positiva y negativa.

```
COMPONENT FFD1 IS // Flipflop número 1 para la comba positiva
  PORT (CLEAR,D,CLK : IN STD_LOGIC; Q : OUT STD_LOGIC);
END COMPONENT;
```

```
  COMPONENT FFD1B IS // Flipflop número 1 para la comba negativa
  PORT (CLEARB,DB,CLKB : IN STD_LOGIC; QB : OUT STD_LOGIC);
END COMPONENT;
```

```
COMPONENT FFD2 IS // Flipflop número 2 para la comba positiva
  PORT (CLEAR1,D1,CLK1 : IN STD_LOGIC; Q1: OUT STD_LOGIC);
END COMPONENT;
```

```
  COMPONENT FDD2B IS // Flipflop número 2 para la comba negativa
  PORT (CLEAR1B,D1B,CLK1B : IN STD_LOGIC; Q1B: OUT STD_LOGIC);
END COMPONENT;
```

.....Continua .....hasta.

```
  COMPONENT FFD16 IS // Flipflop número 16 para la comba positiva
  PORT (CLEAR15,D15,CLK15: IN STD_LOGIC; Q15: OUT STD_LOGIC);
END COMPONENT;
```

```
  COMPONENT FFD16B IS // Flipflop número 16 para la comba negativa
  PORT (CLEAR15B,D15B,CLK15B: IN STD_LOGIC; Q15B: OUT STD_LOGIC);
END COMPONENT;
```

```

        COMPONENT FFD17 IS           // Flipflop número 17 para la comba positiva
        PORT (CLEAR16,D16,CLK16: IN STD_LOGIC; Q16: OUT STD_LOGIC);
    END COMPONENT;

```

// Incluye al sub programas del contador para la comba positiva.

```

    COMPONENT PULSOS33 IS
    PORT (
        CLOK, RESETO      : IN STD_LOGIC;

        E,F,E1,F1,E2,F2,E3,F3,E4,F4,E5,F5,E6,F6,E7,F7,E8,F8,E9,F9,E10,F10,E11,F11,
        E12,F12,E13,F13,E14,F14,E15,F15,E16,F16 : OUT STD_LOGIC;
        SAL      : OUT STD_LOGIC_VECTOR (13 DOWNTO 0)
    );
    END COMPONENT;

```

// Incluye al sub programas del contador para la comba negativa.

```

    COMPONENT PULSOS33B IS
    PORT (
        CLOKB, RESETOB   : IN STD_LOGIC;

        EB,FB,E1B,F1B,E2B,F2B,E3B,F3B,E4B,F4B,E5B,F5B,E6B,F6B,E7B,F7B,E8B,F8B,E9B,F9B,E10B,F10B,E11,
        F11B,E12B,F12B,E13B,F13B,E14B,F14B,E15B,F15B : OUT STD_LOGIC;
        SAL      : OUT STD_LOGIC_VECTOR (13 DOWNTO 0)
    );
    END COMPONENT;

```

// Realiza el cableado eléctrico entre todos os elementos que lo componen

```

    SIGNAL CLK_1 : STD_LOGIC;
    SIGNAL AB: STD_LOGIC;
    SIGNAL CLK_1B,RESETB: STD_LOGIC;

    SIGNAL Q,Q1,Q2,Q3,Q4,Q5,Q6,Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15,Q16 : STD_LOGIC;

    SIGNAL QB,Q1B,Q2B,Q3B,Q4B,Q5B,Q6B,Q7B,Q8B,Q9B,Q10B,Q11B,Q12B,Q13B,Q14B,Q15B : STD_LOGIC;

    SIGNAL A1,A2,A3,A4,A5,A6,A7,A8,A9,A10,A11,A12,A13,A14,A15,A16 : STD_LOGIC;

    SIGNAL A1B,A2B,A3B,A4B,A5B,A6B,A7B,A8B,A9B,A10B,A11B,A12B,A13B,A14B,A15B : STD_LOGIC;

    SIGNAL AUX_1,AUX_2,AUX_3,AUX_4,AUX_5,AUX_6,AUX_7,AUX_8,AUX_9,AUX_10,
    AUX_11,AUX_12,AUX_13,AUX_14,AUX_15,AUX_16,AUX_17,AUX_18,AUX_19,AUX_20,
    AUX_21,AUX_22,AUX_23,AUX_24,AUX_25,AUX_26,AUX_27,AUX_28,AUX_29,AUX_30,
    AUX_31,AUX_32,AUX_33,AUX_34,AUX_35,AUX_36,AUX_37,AUX_38,AUX_39,AUX_40,
    AUX_41,AUX_42,AUX_43,AUX_44,AUX_45,AUX_46,AUX_47,AUX_48,AUX_49,AUX_50,
    AUX_51 : STD_LOGIC;

```

```
SIGNAL AUX_1B,AUX_2B,AUX_3B,AUX_4B,AUX_5B,AUX_6B,AUX_7B,AUX_8B,AUX_9B,AUX_10B,
AUX_11B,AUX_12B,AUX_13B,AUX_14B,AUX_15B,AUX_16B,AUX_17B,AUX_18B,AUX_19B,AUX_20B,
AUX_21B,AUX_22B,AUX_23B,AUX_24B,AUX_25B,AUX_26B,AUX_27B,AUX_28B,AUX_29B,AUX_30B,
AUX_31B,AUX_32B,AUX_33B,AUX_34B,AUX_35B,AUX_36B,AUX_37B,AUX_38B,AUX_39B,AUX_40B,
AUX_41B,AUX_42B,AUX_43B,AUX_44B,AUX_45B,AUX_46B,AUX_47B,AUX_48B,AUX_49B : STD_LOGIC;
```

```
begin
```

```
CLK_1B <= CLK_1 ;
RESETB <= RESET;
AB<= A;
```

```
A1<= A; A2<= A; A3<= A; A4<= A; A5<= A; A6<= A; A7<= A; A8<= A; A9<= A; A10<=A; A11<=A; A12<=A; A13<=A;
A14<=A; A15<=A; A16<=A;
```

```
A1B<= AB; A2B<= AB; A3B<= AB; A4B<= AB; A5B<= AB; A6B<= AB; A7B<= AB; A8B<= AB; A9B<= AB;
A10B<=AB; A11B<=AB; A12B<=AB; A13B<=AB; A14B<=AB; A15B<=AB;
```

```
DIVFREC: divisordefrecuencia PORT MAP( Reloj,RESET_2,CLK_1);
```

```
CIRCUITOCOMPUERTAS: CIRCUITOR PORT MAP(
Q,Q1,Q2,Q3,Q4,Q5,Q6,Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15,Q16, T1,T2);
```

```
CIRCUITOCOMPUERTASB: CIRCUITORB PORT MAP(
QB,Q1B,Q2B,Q3B,Q4B,Q5B,Q6B,Q7B,Q8B,Q9B,Q10B,Q11B,Q12B,Q13B,Q14B,Q15B,T3,T4);
```

```
COMPUERTA: COMPUERTA1 PORT MAP( A, AUX_1, AUX_2 );
COMPUERTAB: COMPUERTA1B PORT MAP( AB, AUX_1B, AUX_2B );
```

```
COMP1: COMPUETA2 PORT MAP( A1, AUX_5, AUX_4 );
COMP1B: COMPUERTA2B PORT MAP( A1B, AUX_5B, AUX_4B );
```

```
COMP2: COMPUERTA3 PORT MAP( A2, AUX_8, AUX_7 );
COMP2B: COMPUERTA3B PORT MAP( A2B, AUX_8B, AUX_7B );
```

```
COMP3: COMPUERTA4 PORT MAP( A3, AUX_11, AUX_10 );
COMP3B: COMPUERTA4B PORT MAP( A3B, AUX_11B, AUX_10B );
```

```
COMP4: COMPUERTA5 PORT MAP( A4, AUX_14, AUX_13 );
COMP4B: COMPUERTA5B PORT MAP( A4B, AUX_14B, AUX_13B );
```

```
COMP5: COMPUERTA6 PORT MAP( A5, AUX_17, AUX_16 );
COMP5B: COMPUERTA6B PORT MAP( A5B, AUX_17B, AUX_16B );
```

```
COMP6: COMPUERTA7 PORT MAP( A6, AUX_20, AUX_19 );
COMP6B: COMPUERTA7B PORT MAP( A6B, AUX_20B, AUX_19B );
```

```
COMP7: COMPUERTA8 PORT MAP( A7, AUX_23, AUX_22 );
COMP7B: COMPUERTA8B PORT MAP( A7B, AUX_23B, AUX_22B );
```

COMP8: COMPUERTA9 PORT MAP( A8, AUX\_26, AUX\_25 );  
COMP8B: COMPUERTA9B PORT MAP( A8B, AUX\_26B, AUX\_25B );

COMP9: COMPUERTA10 PORT MAP( A9, AUX\_29, AUX\_28 );  
COMP9B: COMPUERTA10B PORT MAP( A9B, AUX\_29B, AUX\_28B );

COMP10: COMPUERTA11 PORT MAP( A10, AUX\_32, AUX\_31 );  
COMP10B: COMPUERTA11B PORT MAP( A10B, AUX\_32B, AUX\_31B );

COMP11: COMPUERTA12 PORT MAP( A11, AUX\_35, AUX\_34 );  
COMP11B: COMPUERTA12B PORT MAP( A11B, AUX\_35B, AUX\_34B );

COMP12: COMPUERTA13 PORT MAP( A12, AUX\_38, AUX\_37 );  
COMP12B: COMPUERTA13B PORT MAP( A12B, AUX\_38B, AUX\_37B );

COMP13: COMPUERTA14 PORT MAP( A13, AUX\_41, AUX\_40 );  
COMP13B: COMPUERTA14B PORT MAP( A13B, AUX\_41B, AUX\_40B );

COMP14: COMPUERTA15 PORT MAP( A14, AUX\_44, AUX\_43 );  
COMP14B: COMPUERTA15B PORT MAP( A14B, AUX\_44B, AUX\_43B );

COMP15: COMPUERTA16 PORT MAP( A15, AUX\_47, AUX\_46 );  
COMP15B: COMPUERTA16B PORT MAP( A15B, AUX\_47B, AUX\_46B );

COMP16: COMPUERTA17 PORT MAP( A16, AUX\_50, AUX\_49 );

FLIPFLOPD: FFD PORT MAP( AUX\_3, AUX\_2, AUX\_1,Q );  
FLIPFLOPD6: FFDB PORT MAP( AUX\_3B, AUX\_2B, AUX\_1B,QB );

FLIPFLOPD1: FDD2 PORT MAP( AUX\_6, AUX\_4, AUX\_5,Q1 );  
FLIPFLOPD1B: FDD2B PORT MAP( AUX\_6B, AUX\_4B, AUX\_5B,Q1B );

FLIPFLOPD2: FFD2 PORT MAP( AUX\_9, AUX\_7, AUX\_8,Q2 );  
FLIPFLOPD2B: FFD2B PORT MAP( AUX\_9B, AUX\_7B, AUX\_8B,Q2B );

FLIPFLOPD3: FFD4 PORT MAP( AUX\_12, AUX\_10, AUX\_11,Q3 );  
FLIPFLOPD3B: FFD4B PORT MAP( AUX\_12B, AUX\_10B, AUX\_11B,Q3B );

FLIPFLOPD4: FFD5 PORT MAP( AUX\_15, AUX\_13, AUX\_14,Q4 );  
FLIPFLOPD4B: FFD5B PORT MAP( AUX\_15B, AUX\_13B, AUX\_14B,Q4B );

FLIPFLOPD5: FFD6 PORT MAP( AUX\_18, AUX\_16, AUX\_17,Q5 );  
FLIPFLOPD5B: FFD6B PORT MAP( AUX\_18B, AUX\_16B, AUX\_17B,Q5B );

FLIPFLOPD6: FFD7 PORT MAP( AUX\_21, AUX\_19, AUX\_20,Q6 );  
FLIPFLOPD6B: FFD7B PORT MAP( AUX\_21B, AUX\_19B, AUX\_20B,Q6B );

```

FLIPFLOPD7: FFD8 PORT MAP( AUX_24, AUX_22, AUX_23,Q7 );
FLIPFLOPD7B: FFD8B PORT MAP( AUX_24B, AUX_22B, AUX_23B,Q7B );

FLIPFLOPD8: FFD9 PORT MAP( AUX_27, AUX_25, AUX_26,Q8 );
FLIPFLOPD8B: FFD9B PORT MAP( AUX_27B, AUX_25B, AUX_26B,Q8B );

FLIPFLOPD9: FFD10 PORT MAP( AUX_30, AUX_28, AUX_29,Q9);
FLIPFLOPD9B: FFD10B PORT MAP( AUX_30B, AUX_28B, AUX_29B,Q9B);

FLIPFLOPD10: FFD11 PORT MAP( AUX_33, AUX_31, AUX_32,Q10 );
FLIPFLOPD10B: FFD11B PORT MAP( AUX_33B, AUX_31B, AUX_32B,Q10B );

FLIPFLOPD11: FFD12 PORT MAP( AUX_36, AUX_34, AUX_35,Q11 );
FLIPFLOPD11B: FFD12B PORT MAP( AUX_36B, AUX_34B, AUX_35B,Q11B );

FLIPFLOPD12: FFD13 PORT MAP( AUX_39, AUX_37, AUX_38,Q12 );
FLIPFLOPD12B: FFD13B PORT MAP( AUX_39B, AUX_37B, AUX_38B,Q12B );

FLIPFLOPD13: FFD14 PORT MAP( AUX_42, AUX_40, AUX_41,Q13 );
FLIPFLOPD13B: FFD14B PORT MAP( AUX_42B, AUX_40B, AUX_41B,Q13B );

FLIPFLOPD14: FFD15 PORT MAP( AUX_45, AUX_43, AUX_44,Q14 );
FLIPFLOPD14B: FFD15B PORT MAP( AUX_45B, AUX_43B, AUX_44B,Q14B );

FLIPFLOPD15: FFD16 PORT MAP( AUX_48, AUX_46, AUX_47,Q15 );
FLIPFLOPD15B: FFD16B PORT MAP( AUX_48B, AUX_46B, AUX_47B,Q15B );

FLIPFLOPD16: FFD17 PORT MAP( AUX_51, AUX_49, AUX_50,Q16 );

```

```

CONTADOR: PULSOS33 PORT MAP(CLK_1, RESET, AUX_1, AUX_3, AUX_5, AUX_6, AUX_8, AUX_9,
AUX_11, AUX_12, AUX_14, AUX_15,AUX_17, AUX_18, AUX_20, AUX_21, AUX_23, AUX_24,AUX_26,
AUX_27,AUX_29, AUX_30, AUX_32, AUX_33,AUX_35, AUX_36, AUX_38, AUX_39,AUX_41, AUX_42,AUX_44,
AUX_45, AUX_47, AUX_48,AUX_50, AUX_51 );

```

```

CONTADORB: PULSOS33B PORT MAP(CLK_1B, RESETB, AUX_1B, AUX_3B, AUX_5B, AUX_6B, AUX_8B,
AUX_9B, AUX_11B, AUX_12B, AUX_14B, AUX_15B,AUX_17B, AUX_18B, AUX_20B, AUX_21B, AUX_23B,
AUX_24B,
AUX_26B, AUX_27B,AUX_29B, AUX_30B, AUX_32B, AUX_33B,AUX_35B, AUX_36B, AUX_38B, AUX_39B,AUX_41B,
AUX_42B,AUX_44B, AUX_45B, AUX_47B, AUX_48B );

```

end Behavioral;

## SUB PROGRAMA DIVISOR DE FRECUENCIA

```

library IEEE;                                // Librería
use IEEE.std_logic_1164.all;                 // Librería

```

```

entity divisordefrecuencia is

```

```

port(
    Relej:in std_logic;           // Entrada
    Reset_2:in std_logic;       // Entrada
    SalidaLed: out std_logic     // Salida
);
end divisordefrecuencia;

architecture Contador of divisordefrecuencia is
    signal Salida: std_logic;
    signal Cuenta: integer range 0 to 24:=0; // 24 es el número calculado para una frecuencia de 1Mhz.

begin
    Divisor_frecuencia : process(Relej, Reset_2) begin

        if Reset_2='0' then
            Salida <= '0';
            Cuenta <= 0;

            elsif rising_edge (Relej) then
                if Cuenta = 24 then
                    Cuenta<=0;
                    Salida<= not Salida;

                else
                    Cuenta<= Cuenta+1;

                end if;
            end if;
        end process;
        SalidaLed <= Salida;
    end Contador;

```

## SUB PROGRAMAS DE LA COMBA POSITIVA

### EL CONTADOR

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;           // Librerias
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;

```

```

entity PULSOS33 is
    PORT( CLOK, RESETO : IN STD_LOGIC; // Entradas
          E : OUT STD_LOGIC;
          F : OUT STD_LOGIC;

```

```

        E1 : OUT STD_LOGIC;           // salidas
        F1 : OUT STD_LOGIC;
        continua .....hasta
        E16 : OUT STD_LOGIC;
        F16 : OUT STD_LOGIC;
        SAL : OUT STD_LOGIC_VECTOR (14 DOWNT0 0)); // bus de salida de 15 bits
end PULSOS33;
architecture Behavioral of PULSOS33 is
    SIGNAL D_BUS, Q_BUS : STD_LOGIC_VECTOR (13 DOWNT0 0);
BEGIN
    PROCESS (CLOK)
    BEGIN
        IF CLOK 'EVENT AND CLOK='1' THEN // el contador cambia su estado con el flanco de subida
            IF RESETO = '1' THEN
                Q_BUS <= (OTHERS => '0');
                ELSE Q_BUS <= D_BUS;
            END IF;
        END IF;
        IF Q_BUS = (1) THEN // para el primer pulso, se ingresa el valor del inicio de pulso
            E <= '1';
            ELSE
                E <= '0';
            END IF;

            IF Q_BUS = (266) THEN // para el primer pulso, se ingresa el valor del final de pulso
                F <= '1';
                ELSE
                    F <= '0';
                END IF;

            IF Q_BUS = (475) THEN // para el segundo pulso, se ingresa el valor del inicio de pulso
                E1 <= '1';
                ELSE
                    E1 <= '0';
                END IF;
    END PROCESS;
end Behavioral;

```

```

IF Q_BUS = (790) THEN // para el segundo pulso, se ingresa el valor del final de pulso
    F1 <= '1';
    ELSE
    F1 <= '0';
END IF;
.....Continua con los valores de la tabla 5.....hasta.
IF Q_BUS = (7989) THEN // para el 17 avo pulso, se ingresa el valor del inicio de pulso
    E16 <= '1';
    ELSE
    E16 <= '0';
END IF;
IF Q_BUS = (8250) THEN // para el 17 avo pulso, se ingresa el valor del final de pulso

    F16 <= '1';
    ELSE
    F16 <= '0';
END IF;
IF Q_BUS = (16500) THEN // cuando el contador llega a 16500 los Q_BUS (de 0 al 14) se ponen a cero
    Q_BUS(14) <= '0'; Q_BUS(13) <= '0'; Q_BUS(12) <= '0'; Q_BUS(11) <= '0'; Q_BUS(10) <= '0';
    Q_BUS(9) <= '0'; Q_BUS(8) <= '0'; Q_BUS(7) <= '0'; Q_BUS(6) <= '0'; Q_BUS(5) <= '0';
    Q_BUS(4) <= '0'; Q_BUS(3) <= '0'; Q_BUS(2) <= '0'; Q_BUS(1) <= '0'; Q_BUS(0) <= '0';
END IF;

END PROCESS;
D_BUS <= Q_BUS + 1;
SAL <= Q_BUS;
end Behavioral;

```

### COMPUERTA OR

```
library IEEE;
```

```
// Librerias
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
entity CIRCUITOR is
```

```
PORT(
```

```
X,X1,X2,X3,X4,X5,X6,X7,X8,X9,X10,X11,X12,X13,X14,X15,X16 : IN STD_LOGIC; // Entradas
```

```

        T1,T2: OUT STD_LOGIC    // Salidas
    );
end CIRCUITOR ;

architecture Behavioral of CIRCUITOR is
    BEGIN
        T1 <= (X OR X1 OR X2 OR X3 OR X4 OR X5 OR X6 OR X7 OR X8 OR X9 OR X10
            OR X11 OR X12 OR X13 OR X14 OR X15 OR X16 );    // Operación de lógica
OR
        T2 <= (X OR X1 OR X2 OR X3 OR X4 OR X5 OR X6 OR X7 OR X8 OR X9 OR X10
            OR X11 OR X12 OR X13 OR X14 OR X15 OR X16 );    // Operación de lógica OR

    END Behavioral;

```

### COMPUERTAS AND

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;    // Librerías

entity COMPUERTA1 is
    PORT(
        A: IN STD_LOGIC;    // Entrada
        B: IN STD_LOGIC;    // Entrada
        C: OUT STD_LOGIC    // Salida
    );
end COMPUERTA1 ;

architecture Behavioral of COMPUERTA1 is    // compuerta OR número 1
    BEGIN
        C <= A AND B;
    END Behavioral;

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity COMPUERTA2 is
    PORT(
        A1: IN STD_LOGIC;
        B1: IN STD_LOGIC;
        C1: OUT STD_LOGIC
    );

```

```
end COMPUERTA2 ;
```

```
architecture Behavioral of COMPUERTA2 is // compuerta OR número 2
```

```
BEGIN
```

```
    C1<= A1 AND B1;
```

```
END Behavioral;
```

```
.....Continua .....hasta.
```

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
entity COMPUERTA17 is
```

```
    PORT(
```

```
        A16: IN STD_LOGIC;
```

```
        B16: IN STD_LOGIC;
```

```
        C16: OUT STD_LOGIC
```

```
    );
```

```
end COMPUERTA17 ;
```

```
architecture Behavioral of COMPUERTA17 is // compuerta OR número 17
```

```
BEGIN
```

```
    C16<= A16 AND B16;
```

```
END Behavioral;
```

## FLIP FLOPS

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
// Librerias
```

```
entity FFD1 is
```

```
    PORT(
```

```
        CLEAR : IN STD_LOGIC;
```

```
        D      : IN STD_LOGIC;
```

```
        CLK    : IN STD_LOGIC;
```

```
// Entradas
```

```
        Q      : OUT STD_LOGIC
```

```
// Salida
```

```
    );
```

```
end FFD1;
```

```
architecture Behavioral of FFD1 is
```

```
// Flipflop número 1
```

```
BEGIN
```

```
    PROCESS (CLK,CLEAR)
```

```

begin
  IF (CLEAR = '1')THEN
    Q<='0';

    ELSIF (RISING_EDGE(CLK)) THEN
      Q<= D;

    END IF;
  END PROCESS;
END Behavioral;

```

```

library IEEE; // Librerias
use IEEE.STD_LOGIC_1164.ALL;

```

```

entity FFD2 is
  PORT(
    CLEAR1 : IN STD_LOGIC;
    D1     : IN STD_LOGIC; // Entradas
    CLK 1  : IN STD_LOGIC;

    Q1     : OUT STD_LOGIC // Salida
  );

```

```
end FFD2;
```

```

architecture Behavioral of FFD2 is // Flipflop número 2
  BEGIN
    PROCESS (CLK1,CLEAR1)
    begin
      IF (CLEAR1 = '1')THEN
        Q1<='0';

        ELSIF (RISING_EDGE(CLK1)) THEN
          Q1<= D;

        END IF;
      END PROCESS;

```

```
END Behavioral;
```

.....Continua .....hasta.

```

library IEEE; // Librerias
use IEEE.STD_LOGIC_1164.ALL;

```

```

entity FFD17 is
  PORT(
    CLEAR16 : IN STD_LOGIC;

```

```

D16      : IN STD_LOGIC;    // Entradas
CLK16    : IN STD_LOGIC;

Q16      : OUT STD_LOGIC    // Salida
);
end FFD17;

architecture Behavioral of FFD17 is           // Flipflop número 17
BEGIN
PROCESS (CLK16,CLEAR16)
begin
IF (CLEAR16 = '1')THEN
    Q16<='0';

    ELSIF (RISING_EDGE(CLK16)) THEN
        Q16<= D;

    END IF;
END PROCESS;
END Behavioral;

```

### **SUB PROGRAMAS DE LA COMBA NEGATIVA**

Son los mismos sub programas con la diferencia que se realizaron para 16 pulsos SPWM y a las variables se le agregaron el carácter B es decir si la variable es E en la comba positiva, EB es para la comba negativa.

## MATRIZ DE CONSISTENCIA

TÍTULO	PROBLEMAS	OBJETIVOS	HIPÓTESIS	OPERACIONALIZACIÓN		MÉTODO
				VARIABLES	OPERACIÓN DE VARIABLES	
<p>1.1.</p> <p style="text-align: center;">“DISEÑO DE UN MODULADOR POR ANCHURA DE PULSO SINUSOIDAL BASADO EN FPGA PARA UN CONVERTIDOR DC-AC MONOFÁSICO DE FRECUENCIA FIJA”</p>	<p><b>1.2.1. PROBLEMA GENERAL</b> ¿Cómo el diseño del modular por anchura de pulso sinusoidal SPWM basado en un FPGA genera una onda sinusoidal de 60Hz con un convertidor DC-AC?</p> <p><b>1.2.2. PROBLEMAS ESPECÍFICOS</b> A.- ¿Cuánto es el porcentaje de las amplitudes de las componentes armónicas 3,5,7,9,11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM? B.- ¿Cuánto es la tasa de distorsión armónica THD del convertidor DC-AC monofásico modulada por anchura de pulso sinusoidal SPWM basada en una FPGA? C.- ¿Cuánto es la diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y con modulador SPWM basada en una FPGA?</p>	<p><b>1.3.1. OBJETIVO GENERAL</b> Explicar el diseño del modular por anchura de pulso sinusoidal SPWM basado en una FPGA que genera una onda sinusoidal de 60 Hz con un convertidor DC-AC.</p> <p><b>1.3.2. OBJETIVOS ESPECIFICOS</b> A.- Determinar el porcentaje de las amplitudes de las componentes armónicas 3,5,7,9,11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM. B.- Determinar la tasa de distorsión armónica THD del convertidor DC-AC monofásico modulada por anchura de pulso sinusoidal SPWM basada en una FPGA. C.- Determinar la diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y con modulador SPWM basada en una FPGA.</p>	<p><b>2.3.1. HIPÓTESIS GENERAL</b> El diseño del modular por anchura de pulso sinusoidal SPWM basado en una FPGA, genera una onda sinusoidal de 60 Hz al modular a un convertidor DC-AC.</p> <p><b>2.3.2. HIPÓTESIS ESPECÍFICAS</b> A.- El porcentaje de las tensiones de las amplitudes de las componentes armónicas 3,5,7,9,11 de la señal sinusoidal generada por el convertidor DC-AC con modulador de anchura de pulso sinusoidal SPWM es inferior al 10%. B.- La tasa de distorsión armónica THD del convertidor DC-AC monofásico modulada por anchura de pulso sinusoidal SPWM basada en una FPGA es menor del 5%. C.- La diferencia de la tasa de distorsión armónica del convertidor DC-AC sin modulador SPWM y con modulador SPWM es mayor del 25%.</p>	<p><b>2.5.1. VARIABLE DEPENDIENTE</b> A.- Convertidor DC-AC monofásico de frecuencia fija. <math>= (CMFF)</math></p> <p><b>2.5.2. VARIABLE INDEPENDIENTE</b> A.- Modulador por anchura de pulso sinusoidal (SPWM) basado en FPGA. <math>= (SPWM)</math></p>	<p><math>CMFF = f(SPWM)</math></p>	